

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-004455

(43)Date of publication of application : 07.01.2000

(51)Int.Cl.

H04N 13/04

G09G 3/20

H04N 9/31

H04N 9/80

(21)Application number : 11-125216

(71)Applicant : SHARP CORP

(22)Date of filing : 30.04.1999

(72)Inventor : JONES GRAHAM R  
HOLLIMAN NICOLAS STEVEN

(30)Priority

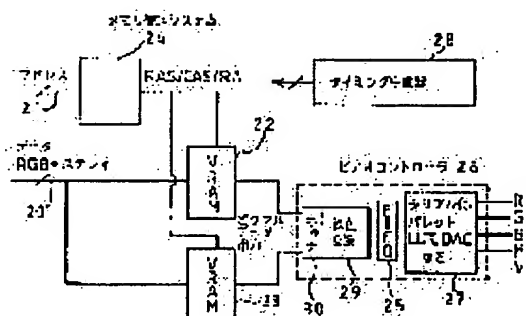
Priority number : 98 9809422 Priority date : 02.05.1998 Priority country : GB

(54) DISPLAY CONTROLLER, THREE-DIMENSIONAL DISPLAY AND CROSSTALK REDUCING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To attain simplification in driving a three-dimensional(3D) stereo display by rearranging image data corresponding to color components through a data rearranging circuit connected to the output of N memories.

**SOLUTION:** This device is provided with an OR gate having first and second inputs connected so as to receive a stereo instruction bit S from a green exchange circuit 29 of a video controller 26. When stereo image data exist, a stereo instruction signal is set so as to store left eye image in a memory 22 and to store right eye image data in a memory 23. In this case, a memory controller controls the read of N memories 22 and 23 and starts reading the image data of pixels to be continuously scanned on the display from different one of memories 22 and 23. Further, the data rearranging circuit is connected to the outputs of memories 22 and 23 and rearranges image data corresponding to at least one of color components.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]Solid controller displays which supply serial picture element data to a scanning solid display provided with two or more pixels, comprising:

Each of this pixel has the image data for a component of M color, M is larger than one, and these solid controller displays are N memories (N is a larger integer than 1).

Write this picture element data to N different views of a three-dimensional image in this each of memory, and then read-out of this memory is controlled, A memory controller constituted so that image data of a pixel in which this display is scanned continuously might be read from a different thing of these memories, A data rearrangement circuit which was combined with an output of this memory, and was constituted so that this image data might be relocated to at least one of these the color components.

[Claim 2]N is the solid controller displays according to claim 1 equal to 2.

[Claim 3]M is the solid controller displays according to claim 1 equal to 3.

[Claim 4]The solid controller displays according to claim 3 said whose color components are red and each blue and green component and in which said at least one color component is this green component.

[Claim 5]The solid controller displays according to claim 1 which are the many bit word which each of said pixel written in said memory equips with said some of color components.

[Claim 6]Each of said pixel written in said memory is a code word, and it is combined between said data rearrangement circuit and an output of said memory, The solid controller displays according to claim 1 further provided with a code word converter which changes this code word into each many bit word which each equips with said some of color components.

[Claim 7]The solid controller displays according to claim 1 constituted so that said data rearrangement circuit may exchange said pixel read from said different memory to said at least one color component.

[Claim 8]The solid controller displays according to claim 1 constituted so that said data rearrangement circuit may delay said 1 bit of pixels read from each of said memory to said at least one color component.

[Claim 9]The solid controller displays according to claim 1 constituted so that said memory controller may reproduce picture element data to a two-dimensional image to a memory location to which said memory corresponds.

[Claim 10]The solid controller displays according to claim 1 with which each of said memory is provided with at least one memory device.

[Claim 11]The solid controller displays according to claim 1 further provided with a latch who receives output data from said memory.

[Claim 12]The solid controller displays according to claim 1 further provided with a first-in first-out circuit which receives output data from said memory.

[Claim 13]Controller displays and a scanning solid display which has two or more pixel rows, A three-dimensional display in which it has an azimuth difference optical system which has two or more azimuth difference elements which support N adjoining sequences in this pixel row, respectively, and these controller displays are the solid controller displays according to claim 1.

[Claim 14]On a scanning solid display provided with two or more pixels, are serial picture element data corresponding to N different views of a three-dimensional image the method of supplying, and this method, a pixel relevant to the 1st color component -- this -- a method which includes a delay step delayed only 1 pixel to a pixel of other color components other than the 1st color component.

[Claim 15] A step which writes said picture element data to said N views in N different memories in advance of said delay step, respectively, A method according to claim 14 of this delay step being carried out after that and delaying this pixel relevant to said 1st color component to each of this pixel stream by which reading appearance was carried out, including further a step which reads continuously a pixel scanned from each of this memory.

[Claim 16] They are solid controller displays which supply serial picture element data corresponding to N different views of a three-dimensional image to a scanning solid display, a pixel relevant to the 1st color component in these solid controller displays -- this -- solid controller displays constituted to a pixel of other color components other than the 1st color component so that only 1 pixel may be delayed.

[Claim 17] Controller displays and a scanning solid display which has two or more pixel rows, A three-dimensional display in which it has an azimuth difference optical system which has two or more azimuth difference elements which support N adjoining sequences in this pixel row, respectively, and these controller displays are the solid controller displays according to claim 16.

[Claim 18] Each is the method of reducing a cross talk between the 1st and 2nd images specified by the set which is a pixel, and generating a cross-talk-correction pixel, and this method, A step which adds a gray level to this 1st image, and forms the 1st sum total, A step which adds this gray level to this 2nd image, and forms the 2nd sum total, A step which subtracts a quantity equal to a given portion of this 2nd image from this 1st sum total, A method which includes a step which subtracts a quantity equal to a given portion of this 1st image from this 2nd sum total, and includes a step which calculates a partial result further used in order to determine this cross-talk-correction pixel to these both 1st and 2nd images.

[Claim 19] Said method is the intensity level  $I_{ox}$  by which each of said pixel is provided with M color component which has an intensity value, and a cross talk was amended to each intensity value  $I_x$  of said pixel of said 1st image  $I_{ox}=I_x+ [K(I_m-I_x-I_y-1)/(I_m+1)]$

Or it is the intensity level  $I_{oy}$  by which a cross talk was amended to each intensity value  $I_y$  of a step determined according to an equivalent gestalt of the above-mentioned expression of relations, and said pixel of said 2nd image  $I_{oy}=I_y+ [K(I_m-I_x-I_y-1)/(I_m+1)]$

Or a way according to claim 18 K is scalar cross talk correction, including further a step determined according to an equivalent gestalt of the above-mentioned expression of relations, and  $I_m$  is the scalar maximum in this color component.

[Claim 20] A method according to claim 18 by which said partial result is expressed as  $K(I_m-I_x-I_y-1)$ .

[Claim 21] A method according to claim 20 by which a dividing process for calculating the intensity levels  $I_{ox}$  and  $I_{oy}$  by which said cross talk was amended is performed using bit shift processing to said partial result.

[Claim 22] Solid controller displays which supply picture element data to N different views to a scanning solid display provided with two or more pixels, comprising:

A memory provided with a two dimensional array of a memory element by which the map was carried out to a pixel of this solid display.

A memory controller constituted so that this picture element data to each image might be written in a block with which this memory element adjoins and this picture element data might be read from this memory for every line. At least one buffer which receives at least a part of each line read from this memory.

This picture element data contained in this buffer and other data which is not contained in this buffer although read from this memory are relocated, The 1st data rearrangement circuit that provides a stream of picture element data in which N view was interlaced, and the 2nd data rearrangement circuit that receives a stream of this picture element data and rearranges this pixel to at least one color component.

[Claim 23] The solid controller displays according to claim 22 constituted so that a set of a sequence with which said memory element adjoins [ this data ] said picture element data to each image may be occupied and said memory controller may write in.

[Claim 24] The solid controller displays according to claim 22 provided with a memory device with said single memory.

[Claim 25] Said buffer is constituted so that the first half of a line of said pixel read from said memory may be memorized, and said 1st data rearrangement circuit, this picture element data by which the buffer was carried out -- this -- the solid controller displays according to claim 22 which comprise same picture element data in the second half of a line so that it may interleave while picture element data in the second half of this is read from this memory.

[Claim 26] Said buffer is provided with the 1st and 2nd buffers constituted so that each may memorize a line of

said memory element fully, and said memory controller, A line of said picture element data is constituted so that it may write in these 1st and 2nd buffers by turns, and said 1st data rearrangement circuit, The solid controller displays according to claim 22 constituted so that this one picture element data of these 1st and 2nd buffers may be interleaved while this data is read into another side of these 1st and 2nd buffers.

[Claim 27]The solid controller displays according to claim 26 with which each of said 1st and 2nd buffers is provided with one pair of half a line buffers.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the three-dimensional (3D) display containing controller displays and such a controller. This invention relates to the method of reducing the cross talk between different views in a three-dimensional display, for example again.

[0002]

[Description of the Prior Art]Attached drawing 1 shows the layout of the pixel (pixel) of a liquid crystal device (LCD) standard type. LCD is used for a color display and comprises the red and the green and blue pixel which are shown by R, G, and B. A pixel is arranged as sequence Col0 to Col5 with which red and a green and blue pixel are located vertically. Then, sequence Col0 of the leftmost of a pixel displays the strip of the leftmost of the image displayed, sequence Col1 of right-hand will display the next sequence of an image, and its following is also the same.

[0003]As shown in attached drawing 2 a, such LCD may be used in order to form a 3D automatic solid display. 3D display is provided with LCD1 which acts as a spatial-light-modulation machine (SLM) for adjusting the light from the back light 2. The azimuth difference optical system operates in harmony with LCD1, in order to form a viewing window. Drawing 2 a is drawing the 3D automatic solid display of the front azimuth difference barrier type with which an azimuth difference optical system is provided with the azimuth difference barrier 3. The azimuth difference barrier 3 is provided with two or more slits which are extended vertically and located with a transverse direction in parallel by regular intervals as shown as the reference number 4.

Each slit is located at the center of the couple of the pixel sequence of each color.

For example, alignment of the slit shown by 4 of drawing 2 a is carried out to the sequence 5 of a blue pixel, and the sequence 6 of a green pixel.

[0004]Drawing 2 b shows the viewing window structure for the 2 view automatic solid 3D display of the type shown in drawing 2 a. By multiplexing spatially two views which cross LCD1 and form a solid pair, the view of the left and the right, In the viewing window 7, 3D image becomes visible so that may be perceived, when an observer is located, as a left eye is in the left viewing window L and a right eye is in the right viewing window R. Such a position is called a ready image position and shown in 8, 9, and 10 of drawing 2 b.

[0005]Drawing 2 b shows the false-image viewing positions 11-14 again. When an observer is in one of the positions of these, while a left eye looks at a right eye image, a right eye looks at a left eye image. Such a viewing position must be avoided.

[0006]In order to make it the left and a right viewing window be certainly in right arrangement, the image data of the left and the right is a method shown in drawing 3, and is supplied to LCD of the type shown in drawing 1. The color image data of the strip of the leftmost of the left image is displayed by the red and green which are shown on the Col0 left, and the blue pixel sequence. Similarly, the color data of the strip of the leftmost of a right eye view is displayed by the sequence of the pixel shown on the Col0 right. By this arrangement, the image data of the view of the left and the right is certainly sent to the suitable left and a right viewing window. It ensures that this arrangement is used again in order that the three pixel colors R, G, and B may display each view strip altogether. Thus, compared with the layout shown in drawing 1, the leftmost red and blue pixel of a sequence display the image data of a left view.

On the other hand, the green pixel of the leftmost sequence displays the image data of a right view.

In the following sequence, red and a blue pixel display the image data of a right view.

On the other hand, a green pixel displays the image data of a left view.

Thus, to use standard LCD of the type shown in 3 from drawing 1, it is required to interlace the image data of the view of the left and the right, "exchanging" a green component between the sequences of a RGB pixel. Though natural, depending on setting out of a display, it may be exchanged in red or a blue component in addition to a green component.

[0007]

[Problem(s) to be Solved by the Invention]Standard PC (computer) can perform such an interlace at a standard video frame speed, and can exchange a green (or red or blue) component. It is because "write-in" operation of each pixel must also be changed into the standard layout shown in drawing 1 compared with the case where the image of two-dimensional (2D) is displayed.

[0008]The automatic solid 3D display which uses flat panel LCD, It is indicated by the British patent application 9619097.No. 0 and No. 9702259.4, the European patent laying-open-of-application gazette No. 724175, No. 696144, No. 645926, No. 389842, U.S. Pat. No. 5,553,203, and No. 5,264,946.

[0009]Attached drawing 4 a shows some video boards publicly known type used for a computer. The example of such a video board ARM VIDC20 Datasheet, Advanced Risc Machines Limited, February 1995 and Fuchs et al., "Pixel Planes:a VLSI-oriented design for a raster graphic engine", VLSI Design, thirdquarter 1981, pp.20-28, and Harrel et al., "Graphic rendering architecture for a high performance desktop work station", It is indicated by Proceedings of ACM Siggraph conference, 1993, and pp.93-100. The general layout of such arrangement is shown in attached drawing 4 a. The data displayed is supplied with a serial gestalt on the data bus 20, and the address which defines the arrangement in the screen of a pixel is supplied on the address bus 21. The data bus 20 is connected to the input of a bank of some of random access memory (shown in two drawings) like VRAM22 and 23. The address bus 21 is connected to the memory management system 24. This memory management system 24 changes a screen address into the memory address supplied to the address input of the memories 22 and 23.

[0010]The output port of the memories 22 and 23 is connected to the first-in first-out (FIFO) register 25 of the video controller 26 via the latch circuitry 30. The video controller 26 is further provided with red (R) green (G) blue (B), a horizontal synchronization (H), and the circuit 27 that supplies a vertical-synchronization (V) signal to a display device. The memories 22 and 23 and the register 25 are controlled so that each pixel data are read from the memories 22 and 23 by turns and are supplied to the circuit 27 in order of the right. For example, the circuit 27 makes data serial and contains a color palette look-up table (LUT) and a digital-to-analog converter (DAC). The timing signal of a video board is generated by the timing generation machine 28.

[0011]Drawing 4 b shows the latch circuitry 30 still in detail. The latch circuitry 30 is provided with the latches 40 and 41 connected to the output port of the memories 22 and 23, respectively. The latches' 40 and 41 each is provided with 32 1-bit latches who latch R from each memory, G, B, and A data and who are stationed as one group by eight pieces. 8 bit A is explained later. The latches 40 and 41 connect a latch enabling (latch enable) input collectively, and make it connect with the output of the timing generation machine 28 which supplies latch enable signal L.

[0012]It has eight individual switching elements to which were further equipped with the three switching circuits 42, 43, and 44, the control input summarized the switching circuit, respectively, and the latch circuitry 30 was connected. It is connected collectively and the control input of the switching circuits 42, 43, and 44 is connected to the output of the timing generation machine 28 which supplies the switching signal SW. The timing generation machine 28 has the further output that supplies write-in enable signal F to the register 25.

[0013]Drawing 4 c is a timing diagram showing the signal L, SW, and F. These signals are synchronized by the remaining portion of a video board with the timing generation machine 28.

[0014]When usable [ in the output port of the memories 22 and 23 ] in a new indicative data, latch enable signal L is set to high as shown, for example at the time t1. Thus, the latches 40 and 41 latch an indicative data. Just after latch enable signal L returns to 0, the switching signal SW goes up on a high level. At the time t2, it is switched to the state by which the switching circuits 42, 43, and 44 are shown in drawing 4 b, and the latch's 40 RGB output comes to be connected to the register 25. At the time t3, write-in enable signal f is supplied to the register 25, and the RGB data from the latch 40 are written in the register 25. At the time t4, in order to prevent writing the further data in the register 25 to the following write-in enable signal, use of write-in enable signal F is made improper.

[0015]At the time t5, the switching signal SW is set to a low level, and the switching circuits 42, 43, and 44 connect the latch's 41 output to the register 25. Further write-in enable signal F occurs between the time t6 and t7, and the data from the latch 41 is written in the register 25.

[0016]The following latch enable signal occurs at the time t8, and processing is repeated. Thus, data is written in the register 25 by turns from the memories 22 and 23.

[0017]A display device is divided into a pixel notionally or physically, and is a type scanned. The image data of the adjoining pixel follows a display device, and is supplied, and the line of image data is supplied continuously similarly. Therefore, it depends on a frame or field speed, a frame or the number of display lines per field, and the number of pixels per line for the data speed needed by the display device. Although a standard video speed is the field where 50 per second was usually interlaced, it may be order called the field which could exceed this for example, where 70 per second or 100 was interlaced, or the frame which is not interlaced. Each frame usually comprises 600 lines and there are usually 800 pixels per line. Each color component is usually coded at 8 bits. Therefore, the input serial-data speed needed for a display device can exceed the maximum output speed of an available memory device.

[0018]The arrangement shown in drawing 4 a enables achievement of increase of data speed by using two or more memories. When the two shown memories 22 and 23 are used, the maximum data speed which supplies image data to a display device is almost equal the twice of the speed from which each memories 22 and 23 may be read. When two banks, two memories or a memory, are provided and pixel data are read by turns from a memory or a memory bank, image data is stored in the memory 22 or 23 as shown in attached drawing 5. In detail, the image data of an even-pixel sequence is stored in the memory 22, and the image data of an odd-pixel sequence is stored in the memory 23.

[0019]In order to increase the capacity or valid data speed of a display device, it is publicly known again to provide two or more video memory read simultaneously. The example of such art Pinkham et al., "Video RAM Excels atFast Graphics", Electronic Design, August 18, 1983, pp.160-172, and Whitton, "It is indicated by Memory designed for raster graphics displays com", IEEE Computer Graphics and Applications March, 1984, and pp.48-65.

[0020]The publicly known video board memory for a solid display is indicated by Silicon Graphic, "Reality engine in visual simulation:technical overview", and 1992. In this arrangement, interleave of the memory is carried out between parallel graphics processors, and a processor is arranged so that an adjoining pixel may always be processed. A solid image is continuously supplied to a display in time so that the left and a right eye view may occupy the mutual field of each video frame.

[0021]U.S. Pat. No. 5,553,203 indicates the art which creates the image spatially multiplexed using five memory arrays. Two of memory arrays are used for the image data of the left and a right eye. Two with an another array are used in order to copy the initial image processed with a spatial modulation function. The 5th memory array holds the image multiplexed spatially. Such arrangement needs an excessive memory compared with standard "frame buffer" arrangement, for this reason, it becomes further more expensive, and needed electric power increases.

[0022]The image of the left and a right eye is saved independently, and JP,8-146454,A indicates 3D display which has the memory allocation which makes it possible to be rewritten always. A separate memory bank is used for each image.

[0023]The problem which has an adverse effect on a solid display is a cross talk. A cross talk is generated by the stray light which leaks between two "viewing channels." This is generated as a result of some factors including dispersion and diffraction by an optical element of a display device. As a result, for an observer, some of left images will be in sight by a right eye, and some of right images will be in sight by a left eye. In a background, this is observed as an image of low strength, and is often called a ghost image. It is because it confuses not a natural phenomenon but an observer and produces visual stress that whose cross talk is not desirable. This problem is a paper of "Reducing CrosstalkBetweenStereoscopic Displays", SPIE, Vol.2177, and pp.92-95, and is discussed.

[0024]As mentioned above, the drive circuit which cannot realize efficiently the picture interlace demanded on 3D solid display in conventional technology, but is needed for 3D solid display is complicated. It is also difficult to fully inhibit the influence of the cross talk between two picture channels.

[0025]This invention is performed in consideration of the above-mentioned technical problem, and the purpose, (1) Provide the solid controller displays which can simplify the drive of 3D solid display, (2) providing the three-dimensional display device which may be driven with the above solid controller displays, and providing the crosstalk reduction method which can fully inhibit the influence of the cross talk between (3) 2 \*\* picture channels -- come out.

[0026]



[Means for Solving the Problem]According to the 1st aspect of affairs of this invention, solid controller displays which supply serial picture element data to a scanning solid display provided with two or more pixels are provided. Here, each of this pixel has the image data for a component of M color, and M is larger than one. These solid controller displays N memories (N is a larger integer than 1), Write this picture element data to N different views of a three-dimensional image in this each of memory, and then read-out of this memory is controlled, A memory controller constituted so that image data of a pixel in which this display is scanned continuously might be read from a different thing of these memories, It has a data rearrangement circuit which was combined with an output of this memory, and was constituted so that this image data might be relocated to at least one of these the color components.

[0027]N may be [ two ] equal. Each pixel of image data may have the image data for a component of M color, and M is larger than one. As opposed to a pixel by which controller displays are scanned continuously [ a display ], It may have a data reconstruction circuit which supplies simultaneously image data of 1st at least one color component, and different image data of 2nd at least one color component from the 1st color component. M may be [ three ] equal. Said 1st at least one color component may be red and each blue and green component, and said 2nd at least one color component may be this green component.

[0028]Controller displays may be constituted so that each of said pixel written in said memory may be many bit word provided with said some of color components. Or each of said pixel written in said memory is a code word, Controller displays were combined between said data rearrangement circuit and an output of said memory, and it may have further a code word converter which changes this code word into each many bit word which each equips with said some of color components.

[0029]Said data rearrangement circuit of controller displays may be constituted so that said pixel read from said different memory to said at least one color component may be exchanged. Or said data rearrangement circuit may be constituted so that said 1 bit of pixels read from each of said memory to said at least one color component may be delayed.

[0030]Said memory controller may be constituted so that picture element data to a two-dimensional image may be reproduced to a memory location to which said memory corresponds.

[0031]Each of said memory may be provided with at least one memory device.

[0032]Controller displays may be further provided with a latch who receives output data from said memory.

[0033]Controller displays may be further provided with a first-in first-out circuit which receives output data from said memory.

[0034]Controller displays [ according to the 2nd aspect of affairs of this invention ] by the 1st aspect of affairs of this invention, A three-dimensional display provided with a scanning solid display which has two or more pixel rows, and an azimuth difference optical system which has two or more azimuth difference elements which support N adjoining sequences in this pixel row, respectively is provided.

[0035]According to the 3rd aspect of affairs of this invention, on a scanning solid display provided with two or more pixels. a pixel relevant to [ are the method of supplying serial picture element data corresponding to N different views of a three-dimensional image, and ] the 1st color component -- this -- to a pixel of other color components other than the 1st color component, A method which includes a delay step delayed only 1 pixel is provided.

[0036]A step which writes said picture element data to said N views in N different memories in advance of said delay step preferably, respectively, A step and \*\* which read continuously a pixel scanned from each of this memory are contained further, this delay step is carried out after that and this pixel relevant to said 1st color component is delayed to each of this pixel stream by which reading appearance was carried out.

[0037]According to the 4th aspect of affairs of this invention, they are solid controller displays which supply serial picture element data corresponding to N different views of a three-dimensional image to a scanning solid display, a pixel relevant to the 1st color component -- this -- solid controller displays constituted so that only 1 pixel may be delayed are provided to a pixel of other color components other than the 1st color component.

[0038]Controller displays [ according to the 5th aspect of affairs of this invention ] by the 4th aspect of affairs of above-mentioned this invention, A three-dimensional display provided with a scanning solid display which has two or more pixel rows, and an azimuth difference optical system which has two or more azimuth difference elements which support N adjoining sequences in this pixel row, respectively is provided.

[0039]According to the 6th aspect of affairs of this invention, each reduces a cross talk between the 1st and 2nd images specified by the set which is a pixel, and a method of generating a cross-talk-correction pixel is provided. A step which this method adds a gray level to this 1st image, and forms the 1st sum total, A step



which adds this gray level to this 2nd image, and forms the 2nd sum total, A step which subtracts a quantity equal to a given portion of this 2nd image from this 1st sum total, A step which subtracts a quantity equal to a given portion of this 1st image from this 2nd sum total is included, and a step which calculates a partial result further used in order to determine this cross-talk-correction pixel to these both 1st and 2nd images is included.

[0040] Said method is the intensity level  $I_{ox}$  by which each of said pixel is preferably provided with M color component which has an intensity value, and a cross talk was amended to each intensity value  $I_x$  of said pixel of said 1st image  $I_{ox} = I_x + [K(I_m - I_x - I_y - 1)/(I_m + 1)]$

Or it is the intensity level  $I_{oy}$  by which a cross talk was amended to each intensity value  $I_y$  of a step determined according to an equivalent gestalt of the above-mentioned expression of relations, and said pixel of said 2nd image  $I_{oy} = I_y + [K(I_m - I_x - I_y - 1)/(I_m + 1)]$

Or a step determined according to an equivalent gestalt of the above-mentioned expression of relations is included further. Here, K is scalar cross talk correction and  $I_m$  is the scalar maximum in this color component.

[0041] A dividing process of the above-mentioned expression of relations is more preferably performed using bit shift processing. By limiting K to a exponentiation of 2,  $I_{oy}$  may be easily calculated using a hardware element.

[0042] Said partial result preferably used in order to determine a cross-talk-correction pixel is expressed as K  $(I_m - I_x - I_y - 1)$ .

[0043] In order to make possible INTARESHINGU of a vertical strip of a sequence or color solid image pixel data on either side, It is also possible to change a standard video display system and to provide controller displays by using an interleaved memory bank. INTARESHINGU is performed when image data to an individual pixel is written in a memory. Data output from a memory may be processed, when required in order to attain exact INTARESHINGU of an image on either side, for example for a flat-panel display, and to perform exchange of a color component.

[0044] INTARESHINGU of a stereo image is only simply added to multi-bank video memory architecture currently used widely, and may be performed by hardware. Since an automatic solid display is driven, this has a prominent commercial effect in that only a slight change is needed for a design of an existing video circuit. For example, it is not necessary to provide an excessive memory like an image generation computer. This brings about a result that there are few integrated circuits, and board size is smaller, and there is less power consumption compared with known composition which generates and displays 3D image.

[0045] INTARESHINGU of a stereo image can be performed only by the increase in the minimum processing time by software. Processing time and a substantial increase in memory space are not needed from this.

[0046] It is possible to display simultaneously 2D image, 3D image, or two mixing on a display.

[0047] It is also possible to provide art of reducing a cross talk during an image with an algorithm, without hardly needing additional processing time. From this, an image of higher image quality is in a state where visual stress given to an observer was reduced, and does not need a substantial increase in the number of integrated circuits, and power consumption, but it can be generated.

[0048] According to the 7th aspect of affairs of this invention, they are solid controller displays which supply picture element data to N different views to a scanning solid display provided with two or more pixels, A memory provided with a two dimensional array of a memory element by which the map was carried out to a pixel of this solid display, A memory controller constituted so that this picture element data to each image might be written in a block with which this memory element adjoins and this picture element data might be read from this memory for every line, At least one buffer which receives at least a part of each line read from this memory, This picture element data contained in this buffer and other data which is not contained in this buffer although read from this memory are relocated, The 1st data rearrangement circuit that provides a stream of picture element data in which N view was interlaced, Solid controller displays provided with the 2nd data rearrangement circuit which receive a stream of this picture element data and rearrange this pixel to at least one color component are provided.

[0049] Preferably, said memory controller is constituted so that a set of a sequence with which said memory element adjoins [ this data ] said picture element data to each image may be occupied and it may write in.

[0050] Preferably, it has a memory device with said single memory. Or however, a memory may be provided with two or more memory devices.

[0051] In an embodiment with this invention, said buffer, Are constituted so that the first half of a line of said pixel read from said memory may be memorized, and said 1st data rearrangement circuit, this picture element data by which the buffer was carried out -- this -- it comprises same picture element data in the second half of a line so that it may interleave while picture element data in the second half of this is read from this memory.

[0052]In other embodiments of this invention, said buffer, Have the 1st and 2nd buffers constituted so that each may memorize a line of said memory element fully, and said memory controller, A line of said picture element data is constituted so that it may write in these 1st and 2nd buffers by turns, and said 1st data rearrangement circuit, It is constituted so that this one picture element data of these 1st and 2nd buffers may be interleaved while this data is read into another side of these 1st and 2nd buffers. Each of said 1st and 2nd buffers is more preferably provided with one pair of half a line buffers.

[0053]

[Embodiment of the Invention]Letting a complete diagram side pass, the same reference mark shows the same component.

[0054]The controller displays shown in drawing 6 a are used on a scanning type display arbitrary type, for example, the LCD type shown in drawing 3. Controller displays are the same types as what is shown in drawing 4 a, and they are shown so that publicly known line address selection (RAS) and a column address selection (CAS) signal may be provided to the address input of the memories 22 and 23. A controller receives data with the gestalt of the "stereo" signal with which a RGB color component signal and the image displayed show whether it is a thing in 3D also in 2D.

[0055]The video controller 26 is different from what was shown in drawing 4 a in that the output of the latch circuitry 30 contains the green switched circuit 29 so that it may be shown in detail by drawing 6 b. The circuit 29 is provided with OR gate 45 which has the input of the 1st and 2 connected so that stereo indication bit S might be received from the latches 40 and 41. The output of the gate 45 is connected to the 1st input of exclusion OR gate 46. The 2nd input of exclusion OR gate 46 is connected so that the switching signal SW may be received from the timing generation machine 28.

[0056]It is connected collectively, it is the same method as having been shown in drawing 4 b, and the control input of the switching circuits 42 and 44 is connected to the output of the timing generation machine 28 in order to receive the switching signal SW. However, the switching control input of the switching circuit 43 is connected to the output of the gate 46 in order to receive green switching signal SWG.

[0057]The address signal supplied to the memory management system 24 through the bus 21 is changed into line address selection required in order to access the memories 22 and 23, column address selection, and a line address signal. When solid image data exists, a stereo indication signal is set up so that the memory 22 may store left eye image data and the memory 23 may store right eye image data, as shown in drawing 7. When an azimuth difference optical system is a 3D automatic solid display which must have been made impossible [ use ], it is also possible again to write in the data of 2D which must be displayed to both an observer's eyes, or a monoscope. In this case, when a stereo indication bit is not set up, the pixel data of a monoscope are reproduced by the corresponding memory location in the memories 22 and 23. In 3D mode, each of the image of the left and a right eye has the resolution of the half of the level space resolutions of a display device. When operating in 2D or monoscope mode, 2D image has the resolution of the half of the transverse direction resolution of a display device similarly.

[0058]When stereo indication bit S is not set up (namely, logical level 0), the output of the gate 45 is the logical level 0, as the gate 46 only transmits the switching signal SW. Therefore, the switching circuit 42 is synchronized and operation is as being shown in the above-mentioned and drawing 4 c.

[0059]When stereo indication bit S is set as the logical level 1, the output of the gate 45 is the logical level 1. Therefore, the gate 46 is reversed, in order that it may function as logic inverters and the switching signal SW may form green switching signal SWG, as shown in drawing 6 c. Thus, when the switching circuits 42 and 44 connect the red and the blue input of the register 25 to the red and the blue output of the latch 40, the switching circuit 43 certainly connects the green input of the register 25 to the latch's 41 green input. This reverse is also the same. Thus, the left and a green component are exchanged between a pair of adjoining pixel sequences, and they are correctly displayed so that an automatic solid view may be mentioned above with reference to drawing 3.

[0060]In another arrangement (un-illustrating), use of an azimuth difference optical system may be made improper completely selectively in the field to which 2D image is displayed. In this case, in the memories 22 and 23, it is not necessary to reproduce pixel image data. Instead, the maximum space resolutions of the related part of a display device or a device may be used in order to display 2D image.

[0061]The memory management system 24 controls read-out of the memories 22 and 23 so that the image of the left and a right eye is supplied to the latch circuitry 30 at right time.

[0062]The storage location of the pixel data in the memories 22 and 23 shown in drawing 7 is suitable to the 3D

automatic solid image which occupies the whole display. However, as shown in the storage location of the pixel data shown in drawing 8, it is also possible to mix 2D and 3D image. In this case, the image of half width must be drawn to each eye, however since an image is correctly arranged on the screen of half width again, the full-screen level image starting point must be divided by 2. When an image is drawn by the maximum width screen, all the level pixel coordinates may be simply divided by 2. When an image is drawn in a required size, the starting point of a stereo field must be known, and in order to position a solid field correctly, it is divided by 2. The horizontal coordinates within an image are, if an image does not maintain the same size and it becomes, and they must not be influenced from things.

[0063]In order to show this, a controller explains a concrete example in case the size of a screen is used with the display which is 800x600 pixels. Such arrangement may have operation in the three modes, i.e., 2D, monoscope mode, full-screen solid mode, and partial screen solid mode.

[0064]In monoscope mode, a full-screen size is used conventionally and an image may be drawn by the arbitrary fields to the full field which is 800x600 pixels.

[0065]A controller is set up in full-screen solid mode make usable one of the memories 22 and 23 (the half of an usable screen memory) for an image display. A left image occupies one half (half of the width of a screen), and a right image occupies the half of another side to this. When drawing a solid image, two configuration images, It is a half of the width of a sieve mage, respectively, namely, since the image of the left and a right eye occupies 400x600 pixels, respectively, when an image is interlaced, the screen capacity of a maximum of 800x600 pixels is occupied.

[0066]In partial screen solid mode, as shown in drawing 9, one or more interlaced solid images are displayed on a screen, and it is surrounded by the image of a monoscope. A screen is matched with an oblique coordinate which has the starting point (0, 0) of a screen in the corner at the lower left of a screen. In drawing 9, the reference number 50 shows the interlaced single solid image on [ some ] a screen. The horizontal and vertical size of a solid image is given by  $S_x$  and  $S_y$ , and the starting point (lower left corner) of a solid image has the coordinates  $O_x$  and  $O_y$  to a screen.

[0067]The image of the left and the right is drawn by the width of the half of the last width of the interlaced solid image. The horizontal coordinates of the starting point of an image must be divided by 2 so that it may suit to "smaller screen space" usable for each image shown in drawing 10.

[0068]When the bus 20 comprises a 32 bit-parallel bus, each pixel video data can serve as a gestalt shown in drawing 11. Red (R) green (G) and a blue (B) component occupy 8 bits, respectively, and 8 bit A of a spare is left behind. Although 8 bits of this "spare" are not usually used, alpha information or other control data may be held, for example. However, one of the bits of these is assigned so that it may become a stereo indication bit.

[0069]Drawing 12 shows the same display as the type shown in drawing 6 a except having been changed so that a stereo indication bit might be supplied to a display from the pixel data on the bus 20. Such arrangement is used for switchable 2D / 3D display by which a display is controlled for every pixel.

[0070]An observer perceives the red of an image, green, and a blue component at the flat surface typically shown in drawing 13, for example as a result of above-mentioned arrangement. In particular, red and a blue component are observed at the flat surface behind a display flat surface, and a green component is observed at the flat surface in front of a display flat surface. This disagreement between display flat surfaces can cause degradation slightly with the image displayed.

[0071]This problem by only delaying 1 pixel of green components of both images to red and a blue component, It is solvable by ensuring simultaneously that the red of the image of the left and the right, green, and a blue component are displayed on a right spatial position to an observer's eyes. Though natural, red or a blue component may be delayed in other display composition.

[0072]The hardware constitutions which generate 1 pixel of delay in the green component of the image of the left and the right are shown in the block diagram of drawing 14. The controller displays of drawing 6 a and a common component are shown by the same reference mark. The video controller of drawing 14 is different from the video controller of drawing 6 a in that it does not have the green switched circuit 29. The output of the latch circuitry 30 is provided directly to the FIFO register 25. The circuits 47 and 48 which receive the output from FIFO are equivalent to the circuit 27 of drawing 6 a, if the point that a digital analog converter (DAC) function (it is an option in the embodiment of drawing 6 a) does not exist is removed. The output of the digital gestalt from the circuit 48 is provided to the green shift circuit 49 which is a FIFO buffer, for example and is obtained. The circuit 49 introduces the required 1-pixel delay to red and a blue component to the green component of both image of the left and the right. If it assumes that the input to a display needs to be digital, the output from the

circuit 49 will be passed to the digital analog converter 50. The green shift circuit 49 is shown more in drawing 15 at details. The last display is suitable color levels (for example, black), and may improve by initializing a display buffer at the beginning of each new line. This is more preferred than using the last green component from the one continued line.

[0073]It is thought that it is simplified more since the controller of drawing 14 does not need a latch and a switched circuit more complicated than the controller of drawing 6 a. It is thought that the delay to a green component may be introduced in a controller again at the arbitrary suitable times (that is, it is not necessary to be necessarily just before the digital analog converter 50). This art is not limited to the use in the video controller which has a memory corresponding to each separate image.

[0074]Drawing 16 shows the color component depth flat surface acquired as a result of the display of drawing 14 about one example. It turns out that all the color components, i.e., red, green, and blue are displayed on the same flat surface immediately after a display flat surface. Generally this improved result is applied about all the solid images displayed.

[0075]Here, the further embodiment of this invention is described with reference to drawing 17. The controller displays shown in drawing 17 are different from the controller shown in drawing 6 a at the point provided in order that the cross-talk-correction part 31 may reduce the cross talk between the images of the left eye of 3D solid display, and a right eye. The cross-talk-correction part 31 is arranged between the memories 22 and 23 and the video controller 26.

[0076]Although reduction of a cross talk is desirable for all types of display, in the flat-panel display in which the cross talk from one view is fully recorded on the pixel of the view of another side, effective cross talk reduction may be provided easily.

[0077]The method of reducing a cross talk is performed based on addition of the gray baselevel to all the pixels of the image of both right and left for raising the gray level of a background. The amount of gray is the same as the quantity of required cross talk correction, or more than its it is preferred. Next, the left image of a certain rate corresponding to the crosstalk quantity which should be amended is pulled from a right image. This reverse is also the same. Thereby, the negative image of low strength arises in a background gray level. When the amended image is displayed, a cross talk buries a negative image and a uniform background gray level is restored. Thus, a cross talk is improved at the sacrifice of image contrast, and 3D image quality perceived by this is improved.

[0078]The required amount of cross talk correction may be determined by the experimental determination of a display. By next, electronic bus by which the cross-talk-correction factor was connected to the central operation part of a system. or the data cable connected to the control knob — or data can be set to the usable bit of the spare bit A of 32 bit pixel data by putting in data etc. and various methods.

[0079]The above-mentioned method is explained more to details below about 1 pixel of the left image, and the pixel of the right image corresponding to this.

[0080]Here,  $I_l$ : Input RGB color vector  $I_r$  about the left pixel : The color vector  $I_o$  which has the background gray level of which the increase in input RGB color vector  $I_b$  was done about the right pixel: Output color vector  $C$  by which cross talk correction was carried out : Scalar cross talk correction  $I_m$  of the range  $[0,255]$ : Consider it as the scalar maximum of each RGB component.

[0081]When each values of all the are assumed to be 8 bits per color in a full color pixel of 24 bits each, they are an integer of the range of  $[0,255]$ .

[0082]First, if a background gray level is applied to a left image pixel, it is  $I_b = I_l \times [(I_m - C) / I_m] + C$  (1). It becomes.

[0083]When corresponding right image pixel cross talk correction is lengthened from the new value of a left image pixel, it is  $I_o = I_b - I_r \times C / I_m$  (2).

It becomes. The value  $I_o$  is outputted as a new left image pixel color value.

[0084]This method must be applied to all the pixels of the right image, in order to be applied to all the pixels of the left image in order to amend about a right image cross talk, and to amend about a left image cross talk. This method may be enforced by software and provides the good improvement of the image quality of a flat-panel display.

[0085]In realizing hardware relevant to the above-mentioned image interlace, the above-mentioned method may be performed only using integral calculation. This reduces the complexity of hardware constitutions remarkably by eliminating the necessity for a floating-point-calculation part.

[0086]Using the number of the exponentiations of 2 has a remarkable advantage to a binary calculating device.

For this reason, an input pixel color value increases only 1 from the range [0,255] to the range [1,256]. At this time, the above-mentioned method is rewritten as follows. Here, K is the scalar cross talk correction of the range [1,256].

[0087] a formula 
$$\frac{(I_l+1)(I_l+1) - x - \{(I_m+1) - K\}}{(I_m+1)} + K - (I_r+1) \times [K/(I_m+1)] \quad (3)$$

When a next door and the above are developed, it is  $x(I_l+1)(I_m+1) = x(I_l+1)(I_m+1) + Kx(I_m+1)$ .

$-Kx(I_l+1) - Kx(I_r+1) \quad (4)$

\*\*\*\*\*.

[0088] When this is arranged, it is  $I_o = I_l + Kx(I_m - I_l - I_r - 1)/(I_m+1) \quad (5)$ .

\*\*\*\*\*.

[0089] Since this is value  $(I_m+1) = 256$ , it is efficiently calculated instead of division using a bit shift operation, and it is calculated by the shift to the right for every bit for 8 bits.

[0090] From this, it is  $I_o = I_l + Kx(I_m - I_l - I_r - 1) \gg 8 \quad (6)$ .

It becomes. The output cross-talk-correction value about the right pixel is  $I_o = I_r + Kx(I_m - I_l - I_r - 1) \gg 8 \quad (7)$  similarly. It is calculated.

[0091] This calculation is shown in drawing 18. That is, as for a partial result,  $K(I_m - I_l - I_r - 1) \gg 8$  is calculated in the part of the reference number 32, and it is added to the left and the right pixel values  $I_l$  and  $I_r$  in the part of the reference numbers 33 and 34, respectively.

[0092] Since the multiplication by K may be included in a shift to the right when the value of K states two and is limited to \*\*\*\* (namely,  $K=2^n$ ), calculation is carried out more simply. As a result, calculation needs only addition, subtraction, and a shift-to-the-right operation. Namely,  $I_o = I_l + (I_m - I_l - I_r - 1) \gg (8-n) \quad (8)$

It becomes.

[0093] As for a formula (6) or use of (8), all the calculations are performed by the integer, it has the advantage that the maximum number obtained is a mere value with numerals which is 18 bits, and, for this reason, the complexity at the time of realization of hardware is reduced.

[0094] Although the cross talk correction explained above assumes that the display used has a linear response perceptually to an input value, this assumption is not usually necessarily materialized. Therefore, for example, as indicated in Glassner, "Principles of Digital Image Syntheses", Morgan Kaufman, Chapter 1995 or 3, and pp.97-100, Usually, in a video display drive circuit, it is amended by using a gamma correction. Use of an above-mentioned method may apply a gamma correction about all the pixels after amendment of a cross talk. Or it may be applied to the amendment factor K before amendment of a cross talk.

[0095] Although 24 bits or the same full color pixel value is assumed, the above-mentioned method is used, in order that this assumption may not always be materialized and a color index may save a memory in a certain system. This is a case where the actual value which the range of a color value was limited and was memorized by video memory is an index to the look-up table holding 24 bits of full RGB value. Using this approach, 8 bits is accepted, it memorizes for every pixel, and the possible color of 256 is sometimes often acquired on a display at the existing arbitrary time. It should be carried out after a color index is decoded by the 24-bit RGB display drive value to a color index system as for color substitution and cross talk correction.

[0096] Drawing 19 is a figure showing the controller displays which have a single memory device provided with the memory element of 2D arrangement matched with each pixel of the LCD display. A memory management system is constituted so that 400x600 pixels of the left image may be written in the 1st block that consists of 400 rows of a memory device and 400x600 pixels of the right image may be written in the 2nd block that consists of 400 rows of a memory device. This assignment of a memory is considered to be desirable from a viewpoint of the data writing efficiency to a memory.

[0097] As for a memory management system, picture element data is read from a memory device for every line. The half (namely, pixel of the left image) of the beginning of each line is read to a half a line buffer. The half (namely, pixel of the right image) after a line is read from a memory after that, interleave of the pixel is carried out to the pixel by which the buffer is carried out, and the thing which is needed and which was formed into right-and-left alternation is obtained. Next, the data stream by which interleave was carried out is provided to the video controller corresponding to the video controller of the embodiment of drawing 14 (or the controller of drawing 6 a may be used).

[0098] Drawing 20 indicates another buffer arrangement to be what is indicated to drawing 19. This buffer

arrangement is provided with two pairs of half a line buffers 52 and 53 which receive by turns the line of the pixel read from a memory device. Therefore, the first line is read to the 1st buffer pair 52, and the following line is read to the 2nd buffer pair 53 after that. In the inside of the 1st buffer pair 52, the pixel of the left image is read to the 1st half a line buffer 52a, and the pixel of the right image is read to the 2nd half a line buffer 52b. While interleave of the pixel contained in the half a line buffers 52a and 52b is carried out and it is outputted to the video controller, the pixel of the following line is read to the half a line buffers 53a and 53b. Then, when interleave of the pixel contained in the half a line buffers 53a and 53b is carried out and it is outputted to the video controller, the pixel of the following line is read to the half a line buffers 52a and 52b.

[0099]

[Effect of the Invention]As mentioned above, according to this invention, the picture interlace demanded on 3D solid display can be realized efficiently, and the solid controller displays which can simplify the drive of 3D solid display are provided. The three-dimensional display device which may be driven with the above solid controller displays is also set and provided. According to this invention, the crosstalk reduction method which can fully inhibit the influence of the cross talk between two picture channels is provided.

---

[Translation done.]

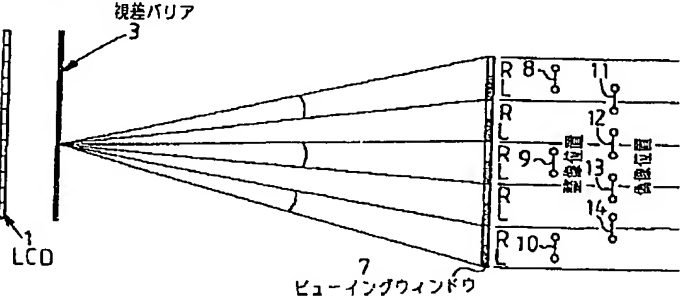
\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

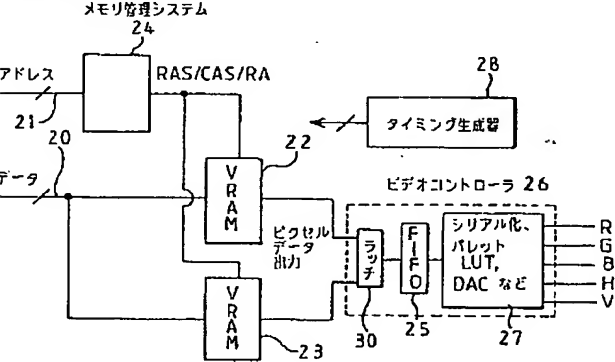
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 2 b]



[Drawing 4 a]

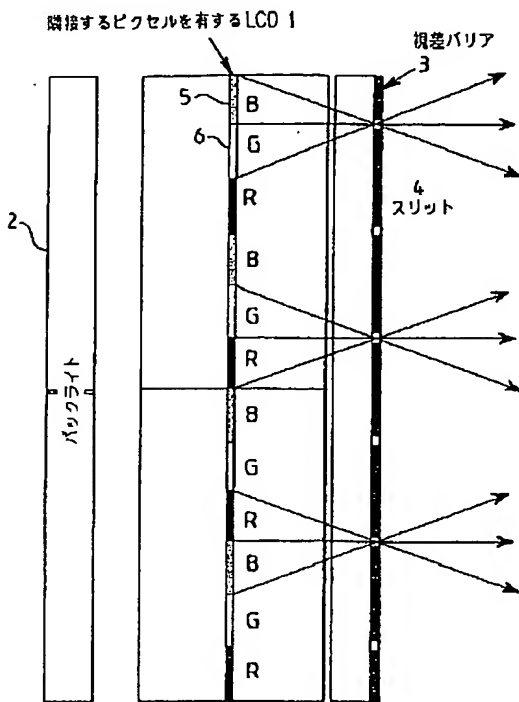


[Drawing 1]

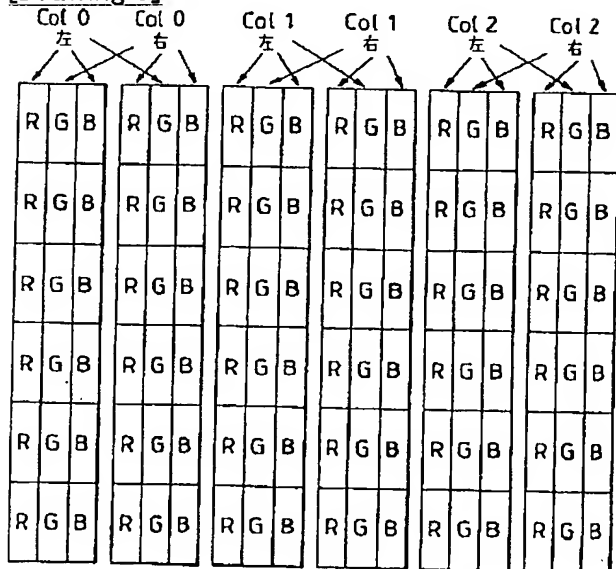
Col 0	Col 1	Col 2	Col 3	Col 4	Col 5
R	R	R	R	R	R
G	G	G	G	G	G
B	B	B	B	B	B
R	R	R	R	R	R
G	G	G	G	G	G
B	B	B	B	B	B
R	R	R	R	R	R
G	G	G	G	G	G
B	B	B	B	B	B
R	R	R	R	R	R
G	G	G	G	G	G
B	B	B	B	B	B

[Drawing 2 a]

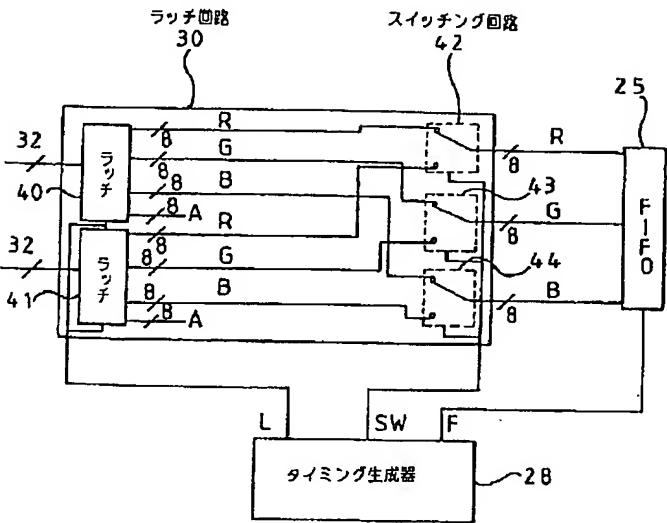




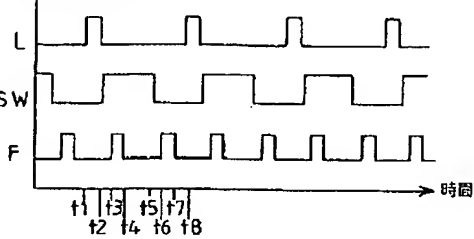
[Drawing 3]



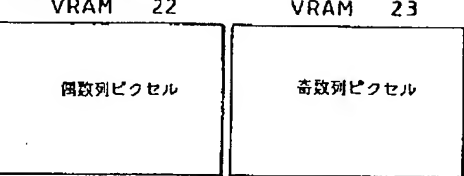
[Drawing 4 b]



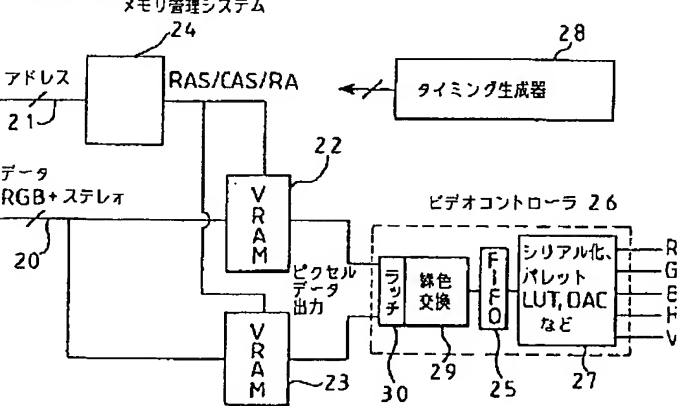
[Drawing 4 c]



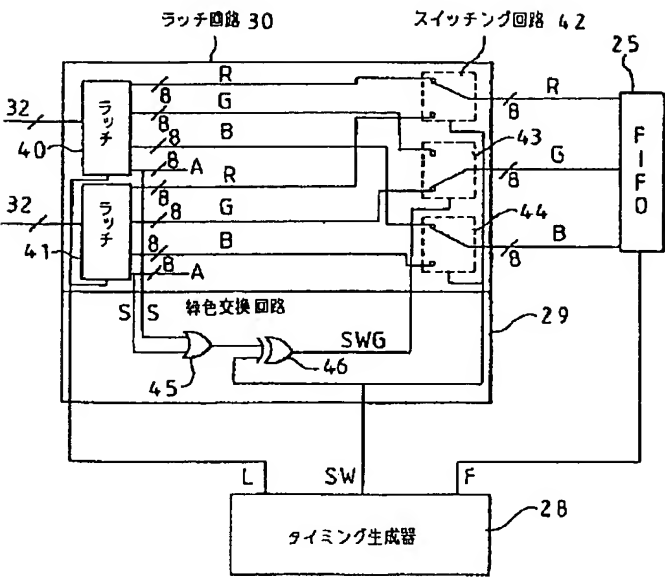
[Drawing 5]



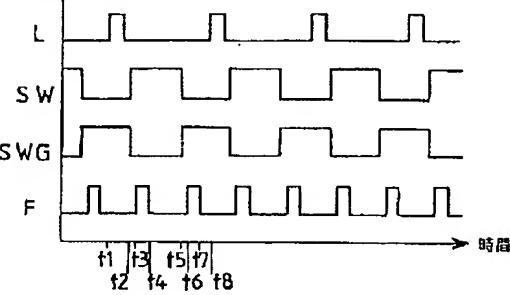
[Drawing 6 a]



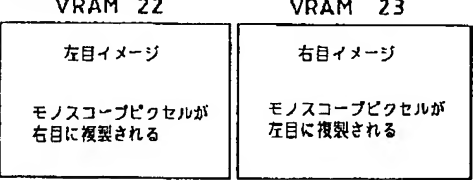
[Drawing 6 b]



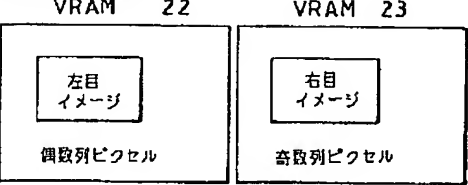
[Drawing 6 c]



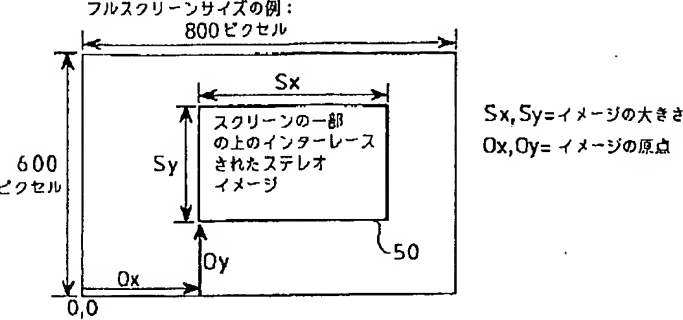
[Drawing 7]



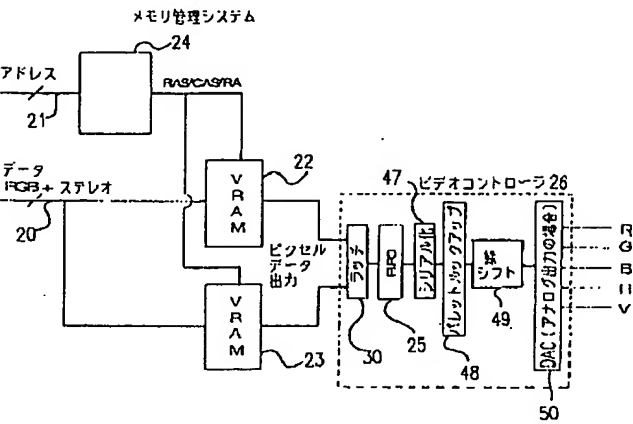
[Drawing 8]



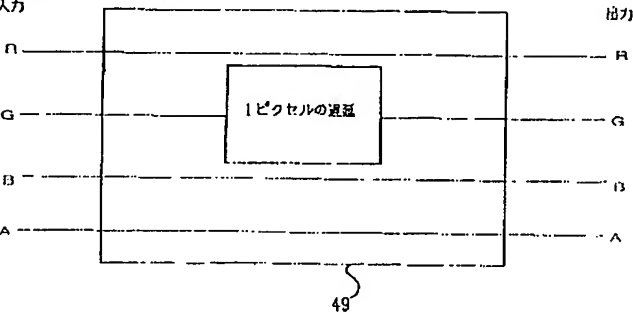
[Drawing 9]



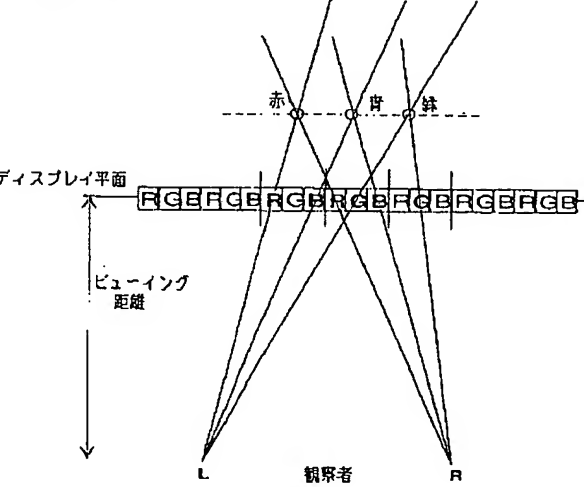




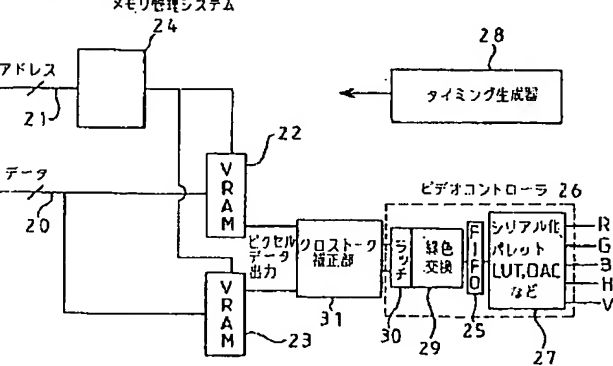
[Drawing 15]



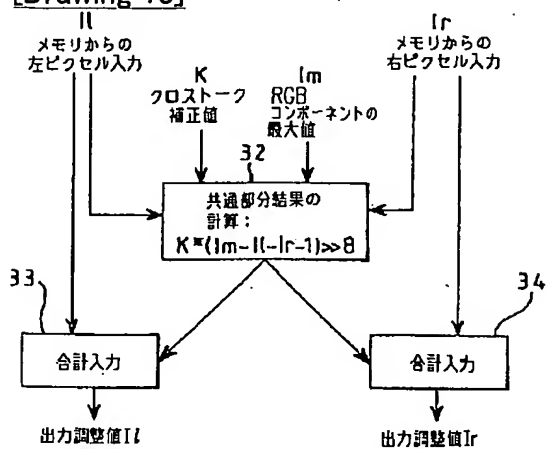
[Drawing 16]



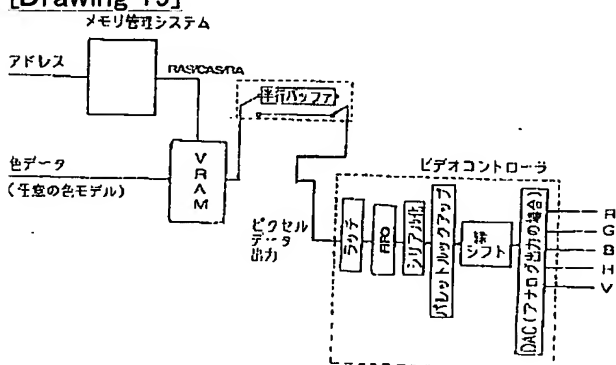
[Drawing 17]



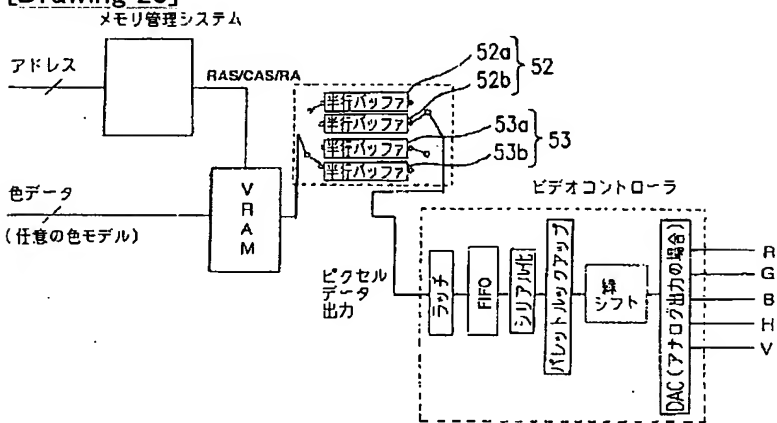
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-4455

(P2000-4455A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 4 N 13/04		H 0 4 N 13/04	
G 0 9 G 3/20	6 6 0	G 0 9 G 3/20	6 6 0 X
H 0 4 N 9/31		H 0 4 N 9/31	E
9/80		9/80	Z

審査請求 未請求 請求項の数27 O L (全 17 頁)

(21)出願番号 特願平11-125218

(22)出願日 平成11年4月30日(1999.4.30)

(31)優先権主張番号 9 8 0 9 4 2 2 . 0

(32)優先日 平成10年5月2日(1998.5.2)

(33)優先権主張国 イギリス (GB)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 グラハム アール. ジョーンズ

イギリス国 エスエヌ7 7ティージー

オックスフォードシャー, ファーリンドン, タッカーズ ロード 26

(72)発明者 ニコラス スティーブン ホリマン

イギリス国 オーエックス10 0エイワイ

オックスフォードシャー, ウォーリングフォード, ウッド ストリート 59エイ

(74)代理人 100078282

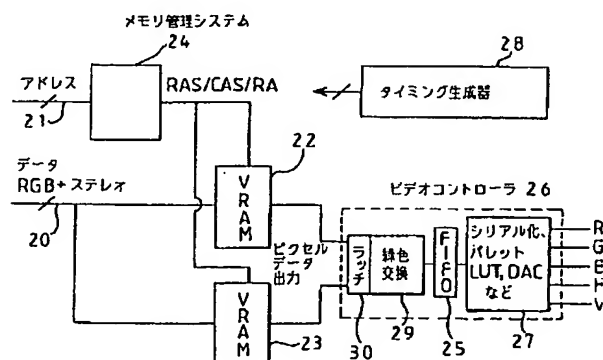
弁理士 山本 秀策

(54)【発明の名称】 ディスプレイコントローラ及び3次元ディスプレイ並びにクロストーク低減方法

(57)【要約】

【課題】 3D立体ディスプレイで要求される画像インターレースを効率的に実現することができ、3D立体ディスプレイの駆動を簡略化することができる立体ディスプレイコントローラを提供する。

【解決手段】 立体ディスプレイコントローラが、複数の画素を備える走査立体ディスプレイに、シリアル画素データを供給する。該画素の各々は、M色のコンポーネントのためのイメージデータを有しており、Mは1よりも大きい。この立体ディスプレイコントローラは、N個のメモリ(Nは1よりも大きい整数)と、3次元イメージのN個の異なるビューに対する該画素データを該それぞれのメモリに書き込み、且つ、次に該メモリの読み出しを制御して、該ディスプレイの連続的に走査される画素のイメージデータが該メモリのうちの異なるものから読み出されるように構成された、メモリコントローラと、該メモリの出力に結合され、該色コンポーネントの少なくとも一つに対して該イメージデータを再配置するように構成された、データ再配置回路と、を備える。





## 【特許請求の範囲】

【請求項 1】 複数の画素を備える走査立体ディスプレイにシリアル画素データを供給する立体ディスプレイコントローラであって、該画素の各々は、M色のコンポーネントのためのイメージデータを有しており、Mは1よりも大きく、該立体ディスプレイコントローラは、N個のメモリ（Nは1よりも大きい整数）と、3次元イメージのN個の異なるビューに対する該画素データを該それぞれのメモリに書き込み、且つ、次に該メモリの読み出しを制御して、該ディスプレイの連続的に走査される画素のイメージデータが該メモリのうちの異なるものから読み出されるように構成された、メモリコントローラと、  
 該メモリの出力に結合され、該色コンポーネントの少なくとも一つに対して該イメージデータを再配置するように構成された、データ再配置回路と、を備える、立体ディスプレイコントローラ。

【請求項 2】 Nが2に等しい、請求項1に記載の立体ディスプレイコントローラ。

【請求項 3】 Mが3に等しい、請求項1に記載の立体ディスプレイコントローラ。

【請求項 4】 前記色コンポーネントが赤、青、及び緑の各コンポーネントであって、前記少なくとも一つの色コンポーネントが該緑コンポーネントである、請求項3に記載の立体ディスプレイコントローラ。

【請求項 5】 前記メモリに書き込まれる前記画素の各々が、前記色コンポーネントの一部を備える多ビットワードである、請求項1に記載の立体ディスプレイコントローラ。

【請求項 6】 前記メモリに書き込まれる前記画素の各々がコードワードであり、  
 前記データ再配置回路と前記メモリの出力との間に結合されて、該コードワードを、各々が前記色コンポーネントの一部を備えるそれぞれの多ビットワードに変換するコードワード変換器を更に備える、請求項1に記載の立体ディスプレイコントローラ。

【請求項 7】 前記データ再配置回路が、前記少なくとも一つの色コンポーネントに対して前記異なるメモリから読み出された前記画素を交換するように構成されている、請求項1に記載の立体ディスプレイコントローラ。

【請求項 8】 前記データ再配置回路が、前記少なくとも一つの色コンポーネントに対して前記メモリの各々から読み出された前記画素を、1ビットだけ遅延させるように構成されている、請求項1に記載の立体ディスプレイコントローラ。

【請求項 9】 前記メモリコントローラが、2次元イメージに対する画素データを前記メモリの対応するメモリ位置に複製するように構成されている、請求項1に記載の立体ディスプレイコントローラ。

【請求項 10】 前記メモリの各々は少なくとも1つの

メモリデバイスを備える、請求項1に記載の立体ディスプレイコントローラ。

【請求項 11】 前記メモリからの出力データを受け取るラッチを更に備える、請求項1に記載の立体ディスプレイコントローラ。

【請求項 12】 前記メモリからの出力データを受け取るファースト・イン・ファースト・アウト回路を更に備える、請求項1に記載の立体ディスプレイコントローラ。

【請求項 13】 ディスプレイコントローラと、  
 複数の画素列を有する走査立体ディスプレイと、  
 該画素列のうちのN個の隣接する列にそれぞれ対応している複数の視差エレメントを有する視差光学系と、を備え、該ディスプレイコントローラが、請求項1に記載の立体ディスプレイコントローラである、3次元ディスプレイ。

【請求項 14】 複数の画素を備える走査立体ディスプレイに、3次元イメージのN個の異なるビューに対応するシリアル画素データを供給する方法であって、  
 該方法は、第1の色コンポーネントに関連する画素を、該第1の色コンポーネント以外の他の色コンポーネントの画素に対して、1画素だけ遅延させる遅延ステップを包含している、方法。

【請求項 15】 前記遅延ステップに先立って、  
 前記N個のビューに対する前記画素データを、N個の異なるメモリにそれぞれ書き込むステップと、  
 該メモリの各々から走査された画素を連続的に読み出すステップと、を更に含み、  
 該遅延ステップがその後実施されて、該読み出された画素ストリームの各々に対して、前記第1の色コンポーネントに関連する該画素を遅延させる、請求項14に記載の方法。

【請求項 16】 走査立体ディスプレイに、3次元イメージのN個の異なるビューに対応するシリアル画素データを供給する立体ディスプレイコントローラであって、  
 該立体ディスプレイコントローラは、第1の色コンポーネントに関連する画素を、該第1の色コンポーネント以外の他の色コンポーネントの画素に対して、1画素だけ遅延させるように構成されている、立体ディスプレイコントローラ。

【請求項 17】 ディスプレイコントローラと、  
 複数の画素列を有する走査立体ディスプレイと、  
 該画素列のうちのN個の隣接する列にそれぞれ対応している複数の視差エレメントを有する視差光学系と、を備え、該ディスプレイコントローラが、請求項16に記載の立体ディスプレイコントローラである、3次元ディスプレイ。

【請求項 18】 各々が画素のセットによって規定される第1及び第2のイメージの間のクロストークを低減して、クロストーク補正画素を生成する方法であって、該

方法は、

該第 1 のイメージにグレイレベルを加算して第 1 の合計を形成するステップと、

該第 2 のイメージに該グレイレベルを加算して第 2 の合計を形成するステップと、

該第 1 の合計から、該第 2 のイメージの所与の部分に等しい量を引くステップと、

該第 2 の合計から、該第 1 のイメージの所与の部分に等しい量を引くステップと、

を包含しており、

更に、該第 1 及び第 2 のイメージの両方に対する該クロストーク補正画素を決定するために使用される部分結果を計算するステップを包含する、方法。

【請求項 19】 前記画素の各々は強度値を有する M 色コンポーネントを備えており、前記方法は、前記第 1 のイメージの前記画素の各々の強度値  $I_x$  に対して、クロストークが補正された強度レベル  $I_{ox}$  を、 $I_{ox} = I_x + [K(I_m - I_x - I_y - 1) / (I_m + 1)]$

或いは上記関係式の等価な形態によって決定するステップと、

前記第 2 のイメージの前記画素の各々の強度値  $I_y$  に対して、クロストークが補正された強度レベル  $I_{oy}$  を、 $I_{oy} = I_y + [K(I_m - I_x - I_y - 1) / (I_m + 1)]$

或いは上記関係式の等価な形態によって決定するステップと、を、更に含み、K がスカラークロストーク補正であり、 $I_m$  が該色コンポーネント中のスカラー最大値である、請求項 18 に記載の方法。

【請求項 20】 前記部分結果は、 $K(I_m - I_x - I_y - 1)$  と表現される、請求項 18 に記載の方法。

【請求項 21】 前記クロストークが補正された強度レベル  $I_{ox}$  及び  $I_{oy}$  を計算するための除算処理が、前記部分結果に対するビットシフト処理を使用して実行される、請求項 20 に記載の方法。

【請求項 22】 複数の画素を備える走査立体ディスプレイに N 個の異なるビューに対する画素データを供給する立体ディスプレイコントローラであって、該立体ディスプレイのピクセルに対してマップされたメモリエlement の 2 次元アレイを備えるメモリと、各イメージに対する該画素データを該メモリエlement の隣接するブロックに書き込み、且つ、該メモリから該画素データを各ビューに読み出すように構成された、メモリコントローラと、

該メモリから読み出された各行の少なくとも一部を受け取る、少なくとも一つのバッファと、

該バッファに含まれる該画素データと、該メモリから読み出されたが該バッファに含まれていない他のデータを再配置して、N ビューがインターレースされた画素データのストリームを提供する、第 1 のデータ再配置回路

と、

該画素データのストリームを受け取り、少なくとも一つの色コンポーネントに対して該画素を再配置する、第 2 のデータ再配置回路と、を備える、立体ディスプレイコントローラ。

【請求項 23】 前記メモリコントローラが、各イメージに対する前記画素データを、該データが前記メモリエlement の隣接する列のセットを占有するように書き込むように構成されている、請求項 22 に記載の立体ディスプレイコントローラ。

【請求項 24】 前記メモリが単一のメモリデバイスを備えている、請求項 22 に記載の立体ディスプレイコントローラ。

【請求項 25】 前記バッファは、前記メモリから読み出された前記画素の行の前半を記憶するように構成され、

前記第 1 のデータ再配置回路は、該バッファされた画素データを、該同じ行の後半の画素データで、該後半の画素データが該メモリから読み出されている間にインターリーブするように構成されている、請求項 22 に記載の立体ディスプレイコントローラ。

【請求項 26】 前記バッファは、各々が前記メモリエlement の行をフルに記憶するように構成されている第 1 及び第 2 のバッファを備えており、

前記メモリコントローラは、前記画素データの行を、該第 1 及び第 2 のバッファに交互に書き込むように構成されており、

前記第 1 のデータ再配置回路は、該第 1 及び第 2 のバッファの一つの該画素データを、該データが該第 1 及び第 2 のバッファの他方に読み込まれている間にインターリーブするように構成されている、請求項 22 に記載の立体ディスプレイコントローラ。

【請求項 27】 前記第 1 及び第 2 のバッファの各々は、1 対の半行バッファを備えている、請求項 26 に記載の立体ディスプレイコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスプレイコントローラ及びこのようなコントローラを含む 3 次元 (3D) ディスプレイに関する。本発明はまた、例えば 3 次元ディスプレイにおける異なるビュー間の、クロストークを低減する方法に関する。

【0002】

【従来の技術】添付の図 1 は、標準的なタイプの液晶デバイス (LCD) の画素 (ピクセル) のレイアウトを示す。LCD は、カラーディスプレイに使用され、R、G、及び B によって示される赤、緑、及び青のピクセルから構成される。ピクセルは、赤、緑、及び青のピクセルが垂直に並ぶ列 C010 から C015 として、配置される。そこで、ピクセルの最も左の列 C010 は、表示

されるイメージの最も左のストリップを表示し、右隣の列 C o l 1 は、イメージの次の列を表示することになり、以下も同様である。

【0003】添付の図 2 a に示されるように、このような LCD は、3D 自動立体ディスプレイを形成するために使用され得る。3D ディスプレイは、バックライト 2 からの光を調節するための空間光変調器 (SLM) として作用する LCD 1 を備える。視差光学系は、ビューイングウィンドウを形成するために LCD 1 と協調して動作する。図 2 a は、視差光学系が視差バリア 3 を備える前面視差バリアタイプの 3D 自動立体ディスプレイを描いている。視差バリア 3 は、参照番号 4 として示されるような、垂直に伸び且つ横方向には等間隔で平行に並ぶ複数のスリットを備えており、各スリットは、個々の色のピクセル列の一对の中心に位置される。例えば、図 2 a の 4 で示されるスリットは、青ピクセルの列 5 及び緑ピクセルの列 6 に位置合わせされる。

【0004】図 2 b は、図 2 a に示されたタイプの 2 ビュー自動立体 3D ディスプレイのためのビューイングウィンドウ構造を示す。LCD 1 を横切って立体対を形成する 2 つのビューを空間的に多重化することによって、左及び右のビューは、左目が左のビューイングウィンドウ L にあり且つ右目が右のビューイングウィンドウ R にあるように観察者が位置する場合に 3D イメージが知覚されるように、ビューイングウィンドウ 7 において可視となる。このような位置は、整像位置と称され、図 2 b の 8、9、及び 10 に示される。

【0005】図 2 b はまた、偽像ビューイング位置 11 ~ 14 を示す。観察者がこれらの位置のひとつにいる場合、左目が右目像を見る一方で右目が左目像を見る。このようなビューイング位置は、避けなければいけない。

【0006】左及び右ビューイングウィンドウが正しい配置に確実にあるようにするために、左及び右のイメージデータは、図 3 に示される方法で、図 1 に示されるタイプの LCD に供給される。左イメージの最も左のストリップの色イメージデータは、C o l 0 左で示される赤、緑、及び青ピクセル列によって表示される。同様に、右目ビューの最も左のストリップの色データは、C o l 0 右で示されるピクセルの列によって表示される。この配置によって、左及び右のビューのイメージデータが、適切な左及び右ビューイングウィンドウへ確実に送られる。この配置はまた、3つのピクセル色 R、G、及び B がすべて、各ビューストリップを表示するために使用されることを確実にする。このように、図 1 に示されるレイアウトと比べて、最も左の列の赤及び青ピクセルは、左のビューのイメージデータを表示する一方、最も左の列の緑ピクセルは、右のビューのイメージデータを表示する。次の列において、赤及び青ピクセルは、右のビューのイメージデータを表示する一方、緑ピクセルは、左のビューのイメージデータを表示する。このよう

に、図 1 から 3 に示されたタイプの標準的な LCD を使用する場合には、RGB ピクセルの列間で緑コンポーネントを「交換」しながら、左及び右のビューのイメージデータをインターレースすることが必要である。当然ながら、ディスプレイの設定によっては、緑コンポーネント以外に、赤或いは青コンポーネントが交換されてもよい。

#### 【0007】

【発明が解決しようとする課題】標準的な PC (コンピュータ) は、標準的なビデオフレーム速度でこのようなインターレースを行い且つ緑 (或いは赤或いは青) コンポーネントの交換を行うことが、できない。なぜなら、図 1 に示される標準的なレイアウトに 2 次元 (2D) のイメージを表示する場合に比べて、各ピクセルの「書き込み」動作も変更しなければならないからである。

【0008】フラットパネル LCD を使用する自動立体 3D ディスプレイは、英国特許出願第 9619097、0 号及び第 9702259、4 号、欧州特許出願公開報第 724175 号、第 696144 号、第 645926 号、及び第 389842 号、並びに米国特許第 5,553,203 号及び第 5,264,946 号に開示される。

【0009】添付の図 4 a は、コンピュータに使用される公知のタイプのビデオボードの一部を示す。このようなビデオボードの例は、ARM VIDC20 Data sheet、Advanced Risc Machines Limited、February 1995、並びに Fuchs ら、「Pixel Plane: a VLSI-oriented design for a raster graphic engine」、VLSI Design, third quarter 1981, pp. 20-28、及び Harrell ら、「Graphic rendering architecture for a high performance desktop workstation」、Proceedings of ACM Siggraph conference, 1993, pp. 93-100 に、開示されている。このような配置の一般的なレイアウトは、添付の図 4 a に示される。表示されるデータは、データバス 20 上にシリアル形態で供給され、ピクセルのスクリーンにおける配置を定義するアドレスは、アドレスバス 21 上に供給される。データバス 20 は、VRAM 22 及び 23 のようなランダムアクセスメモリ (図面に 2 つ示される) の数個のバンクの入力に接続される。アドレスバス 21 は、メモリ管理システム 24 に接続される。このメモリ管理システム 24 は、スクリーンアドレスを、メモリ 22 及び 23 のアドレス入力へ供給されるメモリアドレスに変換する。

【0010】メモリ 22 及び 23 の出力ポートは、ラッチ回路 30 を介して、ビデオコントローラ 26 のファ-

ストインファーストアウト (FIFO) レジスタ 25 へ接続される。ビデオコントローラ 26 は更に、赤

(R)、緑 (G)、青 (B)、水平同期 (H)、及び垂直同期 (V) 信号をディスプレイデバイスへ供給する回路 27 を備える。メモリ 22 及び 23、並びにレジスタ 25 は、個々のピクセルデータがメモリ 22 及び 23 から交互に読み出されて正しい順序で回路 27 へ供給されるように、制御される。例えば、回路 27 は、データをシリアル化し、且つ、色パレットルックアップテーブル (LUT) 及びデジタル-アナログ変換器 (DAC) を含む。ビデオボードのタイミング信号は、タイミング生成器 28 によって生成される。

【0011】図 4b は、更に詳細にラッチ回路 30 を示す。ラッチ回路 30 は、メモリ 22 及び 23 の出力ポートにそれぞれ接続されるラッチ 40 及び 41 を備える。ラッチ 40 及び 41 の各々は、それぞれのメモリからの R、G、B、及び A データをラッチする、8 個で 1 グループとして配置される 32 個の 1 ビットラッチを備える。8 ビット A は、後で説明される。ラッチ 40 及び 41 は、ラッチイネイブル (latch enable) 20 入力をもとめて接続して、ラッチイネイブル信号 L を供給するタイミング生成器 28 の出力へ接続させる。

【0012】ラッチ回路 30 は更に、3 つのスイッチング回路 42、43、及び 44 を備え、そのスイッチング回路はそれぞれ、制御入力をもとめて接続された 8 個の個別のスイッチングエレメントを備える。スイッチング回路 42、43、及び 44 の制御入力は、まとめて接続されて、スイッチング信号 SW を供給するタイミング生成器 28 の出力へ接続される。タイミング生成器 28 は、書き込みイネイブル信号 F をレジスタ 25 へ供給する、更なる出力を有する。

【0013】図 4c は、信号 L、SW、及び F を示すタイミング図である。これらの信号は、タイミング生成器 28 によって、ビデオボードの残りの部分に同期化される。

【0014】新しい表示データがメモリ 22 及び 23 の出力ポートで使用可能な場合、ラッチイネイブル信号 L は、例えば時刻 t1 に示されるように high になる。このようにして、ラッチ 40 及び 41 は、表示データをラッチする。ラッチイネイブル信号 L が 0 に戻ったすぐ後に、スイッチング信号 SW は、high レベルに上昇する。時刻 t2 で、スイッチング回路 42、43、及び 44 が図 4b に示される状態へ切り換えられ、ラッチ 40 の RGB 出力がレジスタ 25 へ接続されるようになる。時刻 t3 で、書き込みイネイブル信号 f がレジスタ 25 へ供給され、ラッチ 40 からの RGB データがレジスタ 25 へ書き込まれる。時刻 t4 で、書き込みイネイブル信号 F は、次の書き込みイネイブル信号まで更なるデータがレジスタ 25 へ書き込まれることを防ぐために、使用不可にされる。

【0015】時刻 t5 に、スイッチング信号 SW が low レベルになり、スイッチング回路 42、43、及び 44 がラッチ 41 の出力をレジスタ 25 へ接続する。更なる書き込みイネイブル信号 F が時刻 t6 及び t7 の間に発生して、ラッチ 41 からのデータがレジスタ 25 へ書き込まれる。

【0016】次のラッチイネイブル信号が時刻 t8 に発生して、処理が繰り返される。このように、データは、メモリ 22 及び 23 から、交互にレジスタ 25 へ書き込まれる。

【0017】ディスプレイデバイスは、概念的に或いは物理的にピクセルに分割され、そして走査されるタイプである。隣接するピクセルのイメージデータは、ディスプレイデバイスに連続して供給され、同様にイメージデータのラインは、連続して供給される。従って、ディスプレイデバイスによって必要とされるデータ速度は、フレーム或いはフィールド速度、フレーム或いはフィールド当たりの表示ライン数、及びライン当たりのピクセル数に依存する。標準的なビデオ速度は、通常 1 秒当たり 50 のインターレースされたフィールドであるが、これを超えることができ、例えば 1 秒当たり 70 或いは 100 のインターレースされたフィールド、或いはインターレースされていないフレームというオーダであり得る。各フレームは、通常 600 ラインから構成され、通常 1 ライン当たり 800 ピクセルある。各々の色コンポーネントは、通常 8 ビットで符号化される。従って、ディスプレイデバイスに必要とされる入力シリアルデータ速度は、利用可能なメモリデバイスの最大出力速度を超え得る。

【0018】図 4a に示される配置は、複数のメモリを使用することによってデータ速度の増大を達成可能にする。示された 2 つのメモリ 22 及び 23 を用いると、イメージデータをディスプレイデバイスへ供給する最大データ速度は、各メモリ 22 及び 23 が読み出され得る速度の 2 倍に、ほとんど等しい。2 つのメモリ、或いはメモリの 2 つのバンクが提供され、且つピクセルデータがメモリ或いはメモリバンクから交互に読まれる場合、添付の図 5 に示されるように、イメージデータはメモリ 22 或いは 23 に格納される。詳細には、偶数ピクセル列のイメージデータはメモリ 22 に格納され、奇数ピクセル列のイメージデータはメモリ 23 に格納される。

【0019】ディスプレイデバイスの容量或いは有効データ速度を増大させるために、同時に読み出されるビデオメモリを複数提供することはまた、公知である。これらの技術の例は、Pinkham ら、「Video RAM Excels at Fast Graphics」、Electronic Design, August 18, 1983, pp. 160-172、及び Whitton、「Memory designed for raster graphics display

ys com”、IEEE Computer Graphics and Applications March, 1984, pp. 48-65に、開示される。

【0020】立体ディスプレイのための公知のビデオボードメモリは、Silicon Graphic社、「Reality engine in visual simulation: technical overview」、1992に開示される。この配置において、メモリは、並列のグラフィックスプロセッサの間でインタリーブされ、そしてプロセッサは、常に隣接のピクセルを処理するように配置される。立体イメージは、左及び右目ビューが各ビデオフレームの交互のフィールドを占有するように、時間的に連続してディスプレイに供給される。

【0021】米国特許第5,553,203号は、5つのメモリアレイを使用して空間的に多重化されたイメージを作成する技術を開示する。メモリアレイの2つは、左及び右目のイメージデータのために使用される。アレイの別の2つは、空間変調機能によって処理された初期イメージをコピーするために使用される。5番目のメモリアレイは、空間的に多重化されたイメージを保持する。このような配置は、標準的な「フレームバッファ」配置と比べて、余分なメモリを必要とし、このため更にもっと高価となり、そして必要となる電力が増大する。

【0022】特開平8-146454号公報は、左及び右目のイメージが別々に保存され、いつでも書き換えられることを可能にするメモリ配置を有する3Dディスプレイを開示する。別々のメモリバンクが、各イメージのために使用される。

【0023】更に、立体ディスプレイに悪影響を与える問題は、クロストークである。クロストークは、2つの「ビューイングチャンネル」の間で漏れる迷光によって生成される。これは、ディスプレイデバイスの光学要素による散乱及び回折を含む、幾つかのファクターの結果として発生する。その結果、観察者にとっては、右目で左イメージの幾らかが見え、左目で右イメージの幾らかが見えることになる。これは、バックグラウンドの中では低強度のイメージとして観察され、また、しばしば、ゴーストイメージと呼ばれる。クロストークが望ましくないのは、それが自然現象ではなく、観察者を混乱させ、視覚的なストレスを生じさせるからである。この問題は、「Reducing Crosstalk Between Stereoscopic Displays」、SPIE, Vol. 2177, pp. 92-95という論文で、論じられている。

【0024】以上のように、従来技術では、3D立体ディスプレイで要求される画像インターレースを効率的に実現することができず、3D立体ディスプレイのために必要とされる駆動回路が複雑である。また、2つの画像チャンネル間でのクロストークの影響を十分に抑制する

ことも、困難である。

【0025】本発明は、上記の課題を考慮して行われたものであって、その目的は、(1)3D立体ディスプレイの駆動を簡略化することができる立体ディスプレイコントローラを提供すること、(2)上記のような立体ディスプレイコントローラによって駆動され得る3次元ディスプレイデバイスを提供すること、並びに、(3)2つの画像チャンネル間でのクロストークの影響を十分に抑制することができるクロストーク低減方法を提供すること、である。

【0026】

【課題を解決するための手段】本発明の第1の局面によれば、複数の画素を備える走査立体ディスプレイにシリアル画素データを供給する立体ディスプレイコントローラが提供される。ここで、該画素の各々は、M色のコンポーネントのためのイメージデータを有しており、Mは1よりも大きい。該立体ディスプレイコントローラは、N個のメモリ(Nは1よりも大きい整数)と、3次元イメージのN個の異なるビューに対する該画素データを該それぞれのメモリに書き込み、且つ、次に該メモリの読み出しを制御して、該ディスプレイの連続的に走査される画素のイメージデータが該メモリのうちの異なるものから読み出されるように構成された、メモリコントローラと、該メモリの出力に結合され、該色コンポーネントの少なくとも一つに対して該イメージデータを再配置するように構成された、データ再配置回路と、を備える。

【0027】Nが2に等しくてもよい。イメージデータの各画素は、M色のコンポーネントのためのイメージデータを有していてもよく、Mは1よりも大きい。ディスプレイコントローラは、ディスプレイの連続的に走査される画素に対して、少なくとも一つの第1の色コンポーネントのイメージデータと、第1の色コンポーネントとは異なる少なくとも一つの第2の色コンポーネントのイメージデータとを、同時に供給するデータ再構成回路を備えていてもよい。Mが3に等しくてもよい。前記少なくとも一つの第1の色コンポーネントが赤、青、及び緑の各コンポーネントであって、前記少なくとも一つの第2の色コンポーネントが該緑コンポーネントであってもよい。

【0028】ディスプレイコントローラは、前記メモリに書き込まれる前記画素の各々が、前記色コンポーネントの一部を備える多ビットワードであるように構成されてもよい。或いは、前記メモリに書き込まれる前記画素の各々がコードワードであり、ディスプレイコントローラが、前記データ再配置回路と前記メモリの出力との間に結合されて、該コードワードを、各々が前記色コンポーネントの一部を備えるそれぞれの多ビットワードに変換するコードワード変換器を更に備えていてもよい。

【0029】ディスプレイコントローラの前記データ再配置回路が、前記少なくとも一つの色コンポーネントに

10

20

30

40

50

対して前記異なるメモリから読み出された前記画素を交換するように構成されていてもよい。或いは、前記データ再配置回路が、前記少なくとも一つの色コンポーネントに対して前記メモリの各々から読み出された前記画素を、1ビットだけ遅延させるように構成されていてもよい。

【0030】前記メモリコントローラが、2次元イメージに対する画素データを前記メモリの対応するメモリ位置に複製するように構成されていてもよい。

【0031】前記メモリの各々は少なくとも一つメモリデバイス10を備えていてもよい。

【0032】ディスプレイコントローラが、前記メモリからの出力データを受け取るラッチを更に備えていてもよい。

【0033】ディスプレイコントローラが、前記メモリからの出力データを受け取るファースト・イン・ファースト・アウト回路を更に備えていてもよい。

【0034】本発明の第2の局面によれば、本発明の第1の局面によるディスプレイコントローラと、複数の画素列を有する走査立体ディスプレイと、該画素列のうちのN個の隣接する列にそれぞれ対応している複数の視差10エレメントを有する視差光学系と、を備える3次元ディスプレイが提供される。

【0035】本発明の第3の局面によれば、複数の画素を備える走査立体ディスプレイに、3次元イメージのN個の異なるビューに対応するシリアル画素データを供給する方法であって、第1の色コンポーネントに関連する画素を、該第1の色コンポーネント以外の他の色コンポーネントの画素に対して、1画素だけ遅延させる遅延ステップを包含している方法が、提供される。

【0036】好ましくは、前記遅延ステップに先立って、前記N個のビューに対する前記画素データを、N個の異なるメモリにそれぞれ書き込むステップと、該メモリの各々から走査された画素を連続的に読み出すステップと、が更に含まれ、該遅延ステップがその後実施されて、該読み出された画素ストリームの各々に対して、前記第1の色コンポーネントに関連する該画素を遅延させる。

【0037】本発明の第4の局面によれば、走査立体ディスプレイに、3次元イメージのN個の異なるビューに対応するシリアル画素データを供給する立体ディスプレイコントローラであって、第1の色コンポーネントに関連する画素を、該第1の色コンポーネント以外の他の色コンポーネントの画素に対して、1画素だけ遅延させるように構成されている立体ディスプレイコントローラが、提供される。

【0038】本発明の第5の局面によれば、上記の本発明の第4の局面によるディスプレイコントローラと、複数の画素列を有する走査立体ディスプレイと、該画素列のうちのN個の隣接する列にそれぞれ対応している複数の20

の視差エレメントを有する視差光学系と、を備える3次元ディスプレイが、提供される。

【0039】本発明の第6の局面によれば、各々が画素のセットによって規定される第1及び第2のイメージの間のクロストークを低減して、クロストーク補正画素を生成する方法が提供される。この方法は、該第1のイメージにグレイレベルを加算して第1の合計を形成するステップと、該第2のイメージに該グレイレベルを加算して第2の合計を形成するステップと、該第1の合計から、該第2のイメージの所与の部分に等しい量を引くステップと、該第2の合計から、該第1のイメージの所与の部分に等しい量を引くステップと、を包含しており、更に、該第1及び第2のイメージの両方に対する該クロストーク補正画素を決定するために使用される部分結果を計算するステップを包含する。

【0040】好ましくは、前記画素の各々は強度値を有するM色コンポーネントを備えており、前記方法は、前記第1のイメージの前記画素の各々の強度値  $I_x$  に対して、クロストークが補正された強度レベル  $I_{ox}$  を、
$$I_{ox} = I_x + [K(I_m - I_x - I_y - 1) / (I_m + 1)]$$

或いは上記関係式の等価な形態によって決定するステップと、前記第2のイメージの前記画素の各々の強度値  $I_y$  に対して、クロストークが補正された強度レベル  $I_{oy}$  を、

$$I_{oy} = I_y + [K(I_m - I_x - I_y - 1) / (I_m + 1)]$$

或いは上記関係式の等価な形態によって決定するステップと、を、更に含む。ここで、Kがスカラークロストーク補正であり、 $I_m$ が該色コンポーネント中のスカラー最大値である。

【0041】より好ましくは、上記の関係式の除算処理は、ビットシフト処理を使用して実行される。Kを2のべき乗に限定することによって、 $I_{oy}$ は、ハードウェア要素を使用して容易に計算され得る。

【0042】好ましくは、クロストーク補正画素を決定するために使用される前記部分結果は、 $K(I_m - I_x - I_y - 1)$ と表現される。

【0043】列或いは左右のカラー立体イメージピクセルデータの垂直のストリップのインターレーシングを可能にするために、インターリーブされたメモリーバンクを使用することによって標準ビデオディスプレイシステムを改変して、ディスプレイコントローラを提供することも可能である。インターレーシングは、個別のピクセルに対するイメージデータがメモリに書き込まれる際に実行される。メモリからのデータ出力は、例えばフラットパネルディスプレイのために左右のイメージの正確なインターレーシングを達成するためなど、色コンポーネントの交換を実行するために必要な場合に、処理されても良い。

【0044】ステレオイメージのインターレーシングは、広く使用されている多バンクビデオメモリアーキテクチャに単純に付加するだけで、ハードウェアにて実行され得る。これは、自動立体ディスプレイを駆動するために、現存するビデオ回路の設計に僅かな変更しか必要としないという点で、顕著な商業的な効果を有する。更に、例えばイメージ生成コンピュータのような余分なメモリを提供する必要がない。これは、3Dイメージを生成し表示する既知の構成に比べて、集積回路の数がより少なく、ボードサイズがより小さく、且つ消費電力がより少ないという結果をもたらす。

【0045】ステレオイメージのインターレーシングは、ソフトウェアでは、最小限の処理時間の増加のみで実行できる。これより、処理時間及びメモリ容量の実質的な増加は、必要とされない。

【0046】2Dイメージ、3Dイメージ、或いは2つの混合を同時にディスプレイ上に表示することが可能である。

【0047】付加的な処理時間を殆ど必要とせずに、アルゴリズムによってイメージ間のクロストークを低減する技術を提供することも、可能である。これより、より高い画質のイメージが、観察者に与えられる視覚的ストレスが低減された状態で、及び集積回路数及び消費電力の実質的な増加を必要とせず、生成されることができ

る。

【0048】本発明の第7の局面によれば、複数の画素を備える走査立体ディスプレイにN個の異なるビューに対する画素データを供給する立体ディスプレイコントローラであって、該立体ディスプレイのピクセルに対してマップされたメモリエlementの2次元アレイを備えるメモリと、各イメージに対する該画素データを該メモリエlementの隣接するブロックに書き込み、且つ、該メモリから該画素データを行毎に読み出すように構成された、メモリコントローラと、該メモリから読み出された各行の少なくとも一部を受け取る、少なくとも一つのバッファと、該バッファに含まれる該画素データと、該メモリから読み出されたが該バッファに含まれていない他のデータを再配置して、Nビューがインターレースされた画素データのストリームを提供する、第1のデータ再配置回路と、該画素データのストリームを受け取り、少なくとも一つの色コンポーネントに対して該画素を再配置する、第2のデータ再配置回路と、を備える、立体ディスプレイコントローラが提供される。

【0049】好ましくは、前記メモリコントローラが、各イメージに対する前記画素データを、該データが前記メモリエlementの隣接する列のセットを占有するように書き込むように構成されている。

【0050】好ましくは、前記メモリが単一のメモリデバイスを備えている。或いは、しかし、メモリは複数のメモリデバイスを備えていても良い。

【0051】本発明のある実施形態では、前記バッファは、前記メモリから読み出された前記画素の行の前半を記憶するように構成され、前記第1のデータ再配置回路は、該バッファされた画素データを、該同行の後半の画素データで、該後半の画素データが該メモリから読み出されている間にインターリーブするように構成されている。

【0052】本発明の他の実施形態では、前記バッファは、各々が前記メモリエlementの行をフルに記憶するように構成されている第1及び第2のバッファを備えており、前記メモリコントローラは、前記画素データの行を、該第1及び第2のバッファに交互に書き込むように構成されており、前記第1のデータ再配置回路は、該第1及び第2のバッファの一つの該画素データを、該データが該第1及び第2のバッファの他方に読み込まれている間にインターリーブするように構成されている。より好ましくは、前記第1及び第2のバッファの各々は、1対の半行バッファを備えている。

【0053】

【発明の実施の形態】全図面を通して、同じ参照符号は同じ構成要素を示す。

【0054】図6aに示されるディスプレイコントローラは、任意のタイプ、例えば図3に示されるLCDタイプの走査式ディスプレイで使用される。ディスプレイコントローラは、図4aに示されるものと同様のタイプであり、公知の行アドレス選択(RAS)及び列アドレス選択(CAS)信号をメモリ22及び23のアドレス入力へ提供するように、示されている。コントローラは、RGB色コンポーネント信号及び表示されるイメージが2Dにおけるものか或いは3Dにおけるものかを示す「ステレオ」信号の形態で、データを受け取る。

【0055】ビデオコントローラ26は、図4aに示されたものと、ラッチ回路30の出力が、図6bにより詳細に示されるように緑色交換回路29を含むという点で相違する。回路29は、ラッチ40及び41からステレオ指示ビットSを受け取るように接続された第1及び2の入力を有するORゲート45を備える。ゲート45の出力は、排他ORゲート46の第1の入力へ接続される。排他ORゲート46の第2の入力は、タイミング生成器28からスイッチング信号SWを受け取るように接続される。

【0056】スイッチング回路42及び44の制御入力、まとめて接続され、そして図4bに示されたのと同じ方法で、スイッチング信号SWを受け取るためにタイミング生成器28の出力へ接続される。しかし、スイッチング回路43のスイッチング制御入力は、緑スイッチング信号SWGを受け取るためにゲート46の出力へ接続される。

【0057】バス21を通してメモリ管理システム24へ供給されるアドレス信号は、メモリ22及び23にア



クセスするために必要な行アドレス選択、列アドレス選択、及び行アドレス信号へ変換される。立体イメージデータが存在する場合、ステレオ指示信号は、図7に示されるように、メモリ22が左目イメージデータを格納し、メモリ23が右目イメージデータを格納するように、設定される。視差光学系が使用不可とされ得ない3D自動立体ディスプレイの場合、観察者の両目に対して表示されなければならない2D或いはモノスコープのデータを書き込むことも、また可能である。この場合、ステレオ指示ビットが設定されないとき、モノスコープのピクセルデータは、メモリ22及び23における対応するメモリ位置に複製される。3Dモードにおいて、左及び右目のイメージの各々は、ディスプレイデバイスの水平空間解像度の半分の解像度を有する。2D或いはモノスコープモードで動作する場合、2Dイメージは同様に、ディスプレイデバイスの横方向解像度の半分の解像度を有する。

【0058】ステレオ指示ビットSが設定されない（すなわち、論理レベル0の）場合、ゲート45の出力は、ゲート46が単にスイッチング信号SWを転送するように論理レベル0である。従って、スイッチング回路42は同期化され、動作は、前述及び図4cに示される通りである。

【0059】ステレオ指示ビットSが論理レベル1に設定される場合、ゲート45の出力は、論理レベル1である。従って、ゲート46は、図6cに示されるように、論理インバータとして機能して、スイッチング信号SWが緑スイッチング信号SWGを形成するために反転される。このように、スイッチング回路42及び44がレジスタ25の赤及び青入力にラッチ40の赤及び青出力へ接続するときは必ず、スイッチング回路43は、レジスタ25の緑入力をラッチ41の緑入力へ接続する。この逆も同じである。このように、左且つ緑のコンポーネントは、隣接する対のピクセル列の間で交換され、自動立体ビューが、図3を参照して前述されるように正しく表示される。

【0060】別の配置（不図示）において、視差光学系は、2Dイメージが表示される領域において、完全に或いは選択的に、使用不可にされ得る。この場合、メモリ22及び23において、ピクセルイメージデータを複製する必要はない。その代わりに、ディスプレイデバイス或いはデバイスの関連部分の最大空間解像度は、2Dイメージを表示するために使用され得る。

【0061】メモリ管理システム24は、左及び右目のイメージが正しい時刻にラッチ回路30へ供給されるように、メモリ22及び23の読み出しを制御する。

【0062】図7に示されるメモリ22及び23におけるピクセルデータの記憶配置は、ディスプレイ全体を占有する3D自動立体イメージに対して適切である。しかし、図8に示されたピクセルデータの記憶配置に示され

るように、2D及び3Dイメージを混合することもまた可能である。この場合、各目に対して半分の幅のイメージを描画しなければならない、しかし、フルスクリーンの水平イメージ原点はまた、イメージが半分の幅のスクリーン上に正確に配置されるために、2で割らなければならない。イメージが最大幅スクリーンに描画される場合、すべての水平ピクセル座標は、単純に2で割られ得る。イメージが必要な大きさで描画される場合、ステレオ領域の原点がわからなければならない、立体領域を正確に位置付けるために2で割られる。イメージ内の水平座標は、イメージが同じ大きさを維持しなければならないことから、影響されてはならない。

【0063】このことを示すために、コントローラが、スクリーンの大きさが800×600ピクセルであるディスプレイとともに使用される場合における具体的な例を説明する。このような配置は、3つのモードの動作、すなわち2D或いはモノスコープモード、フルスクリーン立体モード、及び部分スクリーン立体モードを有し得る。

【0064】モノスコープモードにおいては、フルスクリーンの大きさが従来より使用されて、イメージが800×600ピクセルのフル領域までの任意の領域に描画され得る。

【0065】フルスクリーン立体モードにおいて、コントローラは、イメージ表示のためにメモリ22及び23のひとつ（使用可能なスクリーンメモリの半分）を使用可能にするように設定される。左のイメージは、一方の半分（スクリーンの幅の半分）を占有し、これに対し右のイメージは、他方の半分の半分を占有する。立体イメージを描画する場合、2つの構成イメージは、それぞれフルイメージの幅の半分であり、すなわち左及び右目のイメージは、それぞれ400×600ピクセルを占有するので、イメージがインターレースされる場合に最大800×600ピクセルのスクリーン容量が占有される。

【0066】部分スクリーン立体モードにおいて、図9に示されるように、1つ以上のインターレースされた立体イメージがスクリーン上に表示され、そしてモノスコープのイメージによって囲まれる。スクリーンは、スクリーンの原点（0, 0）がスクリーンの左下の隅にあるようなカーテシアン座標に対応づけられる。図9では、スクリーンの一部の上の単一のインターレースされた立体イメージを、参照番号50にて示す。立体イメージの水平及び垂直の大きさは $S_x$ 及び $S_y$ で与えられ、立体イメージの原点（左下の隅）は、スクリーンに対して座標 $O_x$ 及び $O_y$ を有する。

【0067】左及び右のイメージは、インターレースされた立体イメージの最終の幅の半分の幅で描画される。また、イメージの原点の水平座標は、図10に示される各イメージのために使用可能な「より小さいスクリーン空間」へ適合するように、2で割られなければならない

い。

【0068】バス20が32ビット並列バスから構成される場合、各ピクセルビデオデータは、図11に示される形態となり得る。赤(R)、緑(G)、及び青(B)コンポーネントはそれぞれ8ビットを占有して、スペアの8ビットAが残される。この「スペア」の8ビットは、通常は使用されないが、例えば、アルファ情報或いは他の制御データを保持することがある。しかし、これらのビットの1つは、ステレオ指示ビットとなるよう割り当てられる。

【0069】図12は、バス20上のピクセルデータからステレオ指示ビットをディスプレイへ供給するよう変更された以外は、図6aに示されるタイプと同様であるディスプレイを示す。このような配置は、ディスプレイがピクセルごとに制御されるような、スイッチング可能な2D/3Dディスプレイに使用される。

【0070】上述の配置の結果、例えば、観察者は、図13に模式的に示される平面にイメージの赤、緑、及び青コンポーネントを知覚する。特に、赤及び青コンポーネントが、ディスプレイ平面の後ろにある平面に観察され、緑コンポーネントは、ディスプレイ平面の前の平面に観察される。ディスプレイ平面の間のこの不一致は、表示されるイメージにわずかながら劣化を起し得る。

【0071】この問題は、単に両方のイメージの緑色コンポーネントを赤及び青色コンポーネントに対して1ピクセル遅延させることによって、左及び右のイメージの赤、緑、及び青色コンポーネントが観察者の目に対して正しい空間位置に表示されることを同時に確実にすることで、解決可能である。当然ながら、他のディスプレイ構成においては、赤或いは青コンポーネントを遅延させ得る。

【0072】左及び右のイメージの緑コンポーネントにおいて1ピクセルの遅延を生成するハードウェア構成が、図14のブロック図に示される。図6aのディスプレイコントローラと共通の構成要素は、同じ参照符号で示される。図14のビデオコントローラは、緑色交換回路29を有さないという点で、図6aのビデオコントローラと相違する。ラッチ回路30の出力は、FIFOレジスタ25へ直接に提供される。FIFOからの出力を受け取る回路47及び48は、デジタル・アナログ・コンバータ(DAC)機能(図6aの実施形態においてはオプション)が存在しない点を除けば、図6aの回路27に対応する。回路48からのデジタル形態の出力は、例えばFIFOバッファであり得る緑シフト回路49へ提供される。回路49は、赤及び青コンポーネントに対する必要な1ピクセル遅延を、左及び右のイメージ両方の緑コンポーネントへ導入する。ディスプレイへの入力デジタルである必要があると仮定すると、回路49からの出力は、デジタル・アナログ・コンバータ50へ渡

される。緑シフト回路49は、より詳細に、図15に示される。最終の表示は、各々の新しい行の始めにて、適当な色レベル(例えば、黒)で、ディスプレイバッファを初期化することによって、改善され得る。これは、一つ前の行から最後の緑コンポーネントを使用することより好ましい。

【0073】図14のコントローラは、図6aのコントローラより、複雑なラッチ及び交換回路を必要としないので、より簡略化されていると考えられる。緑色コンポーネントへの遅延は、また、コントローラにおいて、任意の適切な時点で導入され得ると思えられる(すなわち、必ずしもデジタル・アナログ・コンバータ50の直前である必要はない)。この技術は、別々の各イメージに対応するメモリを有するビデオコントローラにおける使用に、限定されない。

【0074】図16は、1つの具体例について、図14の表示の結果として得られる色コンポーネント奥行き平面を示す。すべての色コンポーネント、すなわち赤、緑、及び青が、ディスプレイ平面の直後の同じ平面に表示されることがわかる。この改善された結果は、一般に、表示されるすべての立体イメージについてあてはまる。

【0075】ここで、図17を参照して、本発明の更なる実施形態を説明する。図17に示されるディスプレイコントローラは、クロストーク補正部31が3D立体ディスプレイの左目及び右目のイメージの間のクロストークを低減するために提供される点で、図6aに示されるコントローラと相違する。クロストーク補正部31は、メモリ22及び23とビデオコントローラ26との間に配置される。

【0076】クロストークの低減は、あらゆるタイプのディスプレイにとって望ましいが、有効なクロストーク低減は、一方のビューからのクロストークが他方のビューのピクセルに十分に記録されるフラットパネルディスプレイにおいては、容易に提供され得る。

【0077】クロストークを低減する方法は、バックグラウンドのグレイレベルを上げるための、左右両方のイメージの全ピクセルへのグレイベースレベルの付加に基づいて行われる。グレイ量は、必要なクロストーク補正の量と同じか、それ以上が好ましい。次に、補正されるべきクロストーク量に対応するある割合の左イメージが、右のイメージから引かれる。この逆も同じである。これにより、バックグラウンドグレイレベル中に、低強度のネガティブイメージが生じる。補正されたイメージが表示される場合、クロストークがネガティブイメージを埋めて、均一のバックグラウンドグレイレベルが復元される。このように、イメージコントラストを犠牲にして、クロストークを改善し、これによって知覚される3Dイメージ品質を改善する。

【0078】必要なクロストーク補正量は、ディスプレ

10

20

30

40

50

イの実験的測定によって決定され得る。次に、クロストーク補正ファクターは、システムの中央演算部に接続された電子バスによって、或いはコントロールノブに接続されたデータケーブルによって、或いはデータを32ビットピクセルデータのスペアビットAの使用可能なビットヘデータを入れることによってなど、種々の方法で設定され得る。

【0079】上記の方法は、左イメージの1ピクセル及びこれに対応する右イメージのピクセルについて、より詳細に以下に説明される。

【0080】ここで、

$I_l$  : 左ピクセルについての入力RGB色ベクトル

$$I_b = I_l \times [(I_m - C) / I_m] + C$$

となる。

【0083】対応する右イメージピクセルクロストーク※

$$I_o = I_b - I_r \times C / I_m$$

となる。値 $I_o$ が、新しい左イメージピクセル色値として出力される。

【0084】この方法は、右イメージクロストークについて補正するために左イメージの全ピクセルに対して適用され、且つ、左イメージクロストークについて補正するために、右イメージの全ピクセルに対して適用されなければならない。この方法は、ソフトウェアで実施されてもよく、フラットパネルディスプレイの画質の良好な改善を提供する。

【0085】前述のイメージインターレースに関連するハードウェアを実現するにあたって、上記の方法は、整★

$$(I_o + 1) = (I_l + 1) \times \{ [(I_m + 1) - K] / (I_m + 1) \} + K - (I_r + 1) \times [K / (I_m + 1)] \quad (3)$$

となり、上記を展開すると、

$$\begin{aligned} (I_o + 1) \times (I_m + 1) &= \\ (I_l + 1) \times (I_m + 1) + K \times (I_m + 1) &- K \times (I_l + 1) - K \times (I_r + 1) \end{aligned} \quad (4)$$

が得られる。

$$I_o = I_l + K \times (I_m - I_l - I_r - 1) / (I_m + 1) \quad (5)$$

が得られる。

【0089】これは、値 $(I_l + 1) = 256$ であるから割算の代わりにビットシフト演算を使用して効率的に◆

$$I_o = I_l + K \times (I_m - I_l - I_r - 1) >> 8 \quad (6)$$

となる。右ピクセルについての出力クロストーク補正值\*40\*は、同様に、

$$I_o = I_r + K \times (I_m - I_l - I_r - 1) >> 8 \quad (7)$$

と計算される。

【0091】この計算は、図18に示されている。すなわち、部分的な結果 $K(I_m - I_l - I_r - 1) >> 8$ は、参照番号32の箇所では計算され、左及び右ピクセル値 $I_l$ 及び $I_r$ に、それぞれ参照番号33及び34の箇所では加算される。 ※

$$I_o = I_l + (I_m - I_l - I_r - 1) >> (8 - n) \quad (8)$$

となる。

【0093】式(6)或いは(8)の使用は、整数によ

\*  $I_r$  : 右ピクセルについての入力RGB色ベクトル

$I_b$  : 増加したバックグラウンドグレイレベルを有する色ベクトル

$I_o$  : クロストーク補正された出力色ベクトル

$C$  : 範囲[0, 255]のスカラークロストーク補正

$I_m$  : 各RGBコンポーネントのスカラ最大値とする。

【0081】すべての個々の値は、各24ビットのフル色ピクセルにおいて1色当たり8ビットと仮定すると、

10 [0, 255]の範囲の整数である。

【0082】まず、バックグラウンドグレイレベルを左イメージピクセルに加えると、

(1)

※補正を、左イメージピクセルの新しい値から引くと、

(2)

★数の計算のみを使用して行われ得る。これは、浮動小数点計算部の必要性を排除することによって、ハードウェア構成の複雑さを著しく低減する。

20 【0086】バイナリ計算デバイスに対し、2のべき乗の数を使用することは、著しい利点がある。このため、入力ピクセル色値は、範囲[0, 255]から範囲

[1, 256]へ1だけ増加される。このとき、上記の方法は、以下のように書き換えられる。ここで、 $K$ は、範囲[1, 256]のスカラークロストーク補正である。

【0087】式(1)及び(2)から、

$$(I_o + 1) = (I_l + 1) \times \{ [(I_m + 1) - K] / (I_m + 1) \} + K - (I_r + 1) \times [K / (I_m + 1)] \quad (3)$$

30

$$\begin{aligned} (I_o + 1) \times (I_m + 1) &= \\ (I_l + 1) \times (I_m + 1) + K \times (I_m + 1) &- K \times (I_l + 1) - K \times (I_r + 1) \end{aligned} \quad (4)$$

☆☆【0088】これを整理すると、

$$I_o = I_l + K \times (I_m - I_l - I_r - 1) / (I_m + 1) \quad (5)$$

◆計算され、8ビット分のビットごとの右シフトで計算される。

【0090】これより、

$$I_o = I_l + K \times (I_m - I_l - I_r - 1) >> 8 \quad (6)$$

※【0092】 $K$ の値が2のべき数に限定される場合(すなわち、 $K = 2^n$ )、 $K$ による掛算が右シフトに組み込まれ得るので、計算はより簡単に実施される。この結果、計算は、加算、引算、及び右シフト演算だけを必要とする。すなわち：

$$I_o = I_l + (I_m - I_l - I_r - 1) >> (8 - n) \quad (8)$$

ってすべての計算が行われ、得られる最大の数がほんの18ビットの符号付きの値であるという利点を有してお

り、このため、ハードウェアの実現時の複雑さが低減される。

【0094】上記で説明されたクロストーク補正は、使用されるディスプレイが入力値に対し知覚的に線形応答を有すると仮定しているが、通常は、この仮定が成立するとは限らない。従って、例えば、Glassner、「Principles of Digital Image Syntheses」、Morgan Kaufman、1995、3章、pp. 97-100に開示されるように、通常、ビデオディスプレイ駆動回路において、ガンマ補正を使用することによって補正される。上述の方法を使用すると、ガンマ補正は、クロストークの補正後に全ピクセルについて適用され得る。或いは、クロストークの補正前に、補正ファクターKのみに適用されてもよい。

【0095】また、上記の方法は、24ビット或いは同様のフル色ピクセル値を仮定しているが、常にこの仮定が成立するとは限らず、あるシステムにおいては、色インデックスがメモリを節約するために使用される。これは、色値の範囲が限定され、且つ、ビデオメモリに記憶された実際の値が、フル24ビットRGB値を保持するルックアップテーブルへのインデックスである場合である。このアプローチを用いて、ピクセル毎に8ビットのみ記憶して、任意のある時刻に、ディスプレイ上に256の可能な色を得ることが、よくある。色インデックスシステムに対しては、色交換及びクロストーク補正は、色インデックスが24ビットRGBディスプレイ駆動値に復号された後で、行われるべきである。

【0096】図19は、LCDディスプレイのそれぞれのピクセルに対応付けられた2D配列のメモリエレメントを備える単一のメモリデバイスを有するディスプレイコントローラを示す図である。メモリ管理システムは、左イメージの400×600画素をメモリデバイスの400列からなる第1のブロックに書き込み、右イメージの400×600画素をメモリデバイスの400列からなる第2のブロックに書き込むように、構成される。メモリのこの割り当ては、メモリへのデータ書き込み効率の観点から望ましいと考えられる。

【0097】メモリ管理システムは、画素データが、メモリデバイスから行毎に読み出されるようにする。各行の最初の半分（すなわち、左イメージの画素）は、半行バッファに読み出される。行の後の半分（すなわち右イメージの画素）がその後にメモリから読み出され、その画素は、バッファされている画素とインタリーブされて、必要とされる左右交互化されたものが得られる。次に、インタリーブされたデータストリームは、図14の実施形態のビデオコントローラに対応するビデオコントローラへ提供される（或いは、図6aのコントローラが使用され得る）。

【0098】図20は、図19に記載されるものとは別

のバッファ配置を示す。このバッファ配置は、メモリデバイスから読み出される画素の行を交互に受け取る2対の半行バッファ52及び53を備える。従って、最初の行は、第1バッファ対52に読み出され、その後に次の行は、第2バッファ対53へ読み出される。第1バッファ対52の内部において、左イメージの画素は、第1の半行バッファ52aへ読み出され、右イメージの画素は、第2の半行バッファ52bへ読み出される。半行バッファ52a及び52bに含まれる画素がインタリーブされてビデオコントローラへ出力されている間に、次の行の画素が、半行バッファ53a及び53bへ読み出される。その後、半行バッファ53a及び53bに含まれる画素がインタリーブされてビデオコントローラへ出力されているときに、次の行の画素が半行バッファ52a及び52bへ読み出される。

【0099】

【発明の効果】以上のように本発明によれば、3D立体ディスプレイで要求される画像インターレースを効率的に実現することができ、3D立体ディスプレイの駆動を簡略化することができる立体ディスプレイコントローラが提供される。また、上記のような立体ディスプレイコントローラによって駆動され得る3次元ディスプレイデバイスも、あわせて提供される。更に、本発明によれば、2つの画像チャンネル間でのクロストークの影響を十分に抑制することができるクロストーク低減方法が、提供される。

【図面の簡単な説明】

【図1】公知のタイプのLCDのピクセルレイアウトを示す図である。

【図2a】公知のタイプの3D自動立体ディスプレイの横断面図である。

【図2b】図2aに示されるタイプのディスプレイによるビューウィンドウの形成を示す平面図である。

【図3】立体イメージの表示を示す、図1と同様の図である。

【図4a】公知のタイプのディスプレイメモリコントローラのブロック模式図である。

【図4b】図4aのコントローラの一部のより詳細な模式図である。

【図4c】図4aのコントローラにおいて起こる波形を示す波形図である。

【図5】図4aのディスプレイコントローラのメモリにおけるデータの構成を示す図である。

【図6a】本発明のある実施形態を構成するディスプレイコントローラのブロック模式図である。

【図6b】図6aのコントローラの一部のより詳細な模式図である。

【図6c】図6aのコントローラにおいて起こる波形を示す波形図である。

【図7】図6aのディスプレイコントローラのメモリに

おけるデータの構成を示す、図5と同様の図である。

【図8】図6aのディスプレイコントローラのメモリにおけるデータの構成を示す、図5と同様の図である。

【図9】2Dイメージ内に3Dイメージを表示する通常のディスプレイスクリーンを示す図である。

【図10】図9のスクリーンイメージがどのように処理されるかを示す図である。

【図11】図6aのディスプレイコントローラへ供給されるビデオピクセルデータの可能な配置を示す図である。

【図12】本発明の別の実施形態を構成するディスプレイのブロック模式図である。

【図13】図6a及び図12の実施形態を用いて作成される種々の色コンポーネント奥行き平面の模式図である。

【図14】本発明の更に別の実施形態を構成するディスプレイコントローラのブロック模式図である。

【図15】図14のコントローラの遅延バッファを示す図である。

【図16】図14の実施形態を用いて作成される種々の色コンポーネント奥行き平面の模式図である。

【図17】本発明の別の実施形態を構成するディスプレイコントローラのブロック模式図である。

【図18】本発明の実施形態を構成するイメージ間のクロストークを低減する方法を示す図である。

【図19】本発明の別の実施形態を構成するディスプレイコントローラのブロック模式図である。

【図20】本発明の別の実施形態を構成するディスプレイコントローラのブロック模式図である。

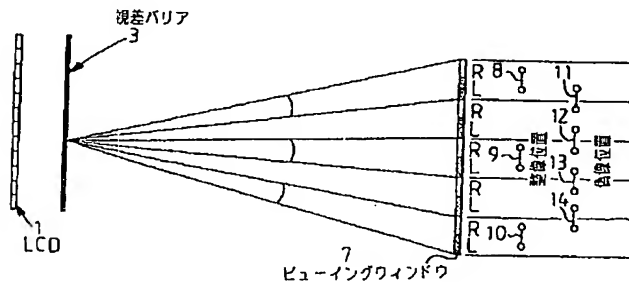
【符号の説明】

- 1 LCD
- 2 バックライト
- 3 視差バリア
- 4 視差バリア

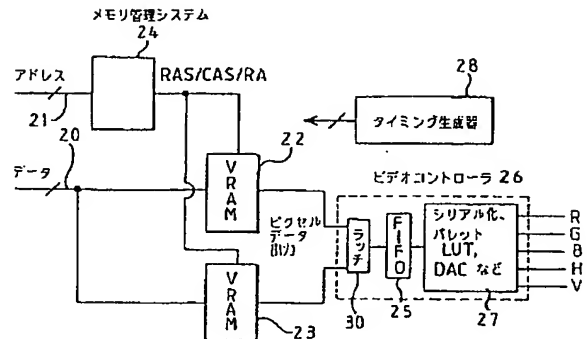
- \* 5 列
- 6 列
- 7 ビューイングウィンドウ
- 8 正像位置
- 9 正像位置
- 10 正像位置
- 11 偽像位置
- 12 偽像位置
- 13 偽像位置
- 14 偽像位置
- 20 データバス
- 21 アドレスバス
- 22 VRAM
- 23 VRAM
- 24 メモリ管理システム
- 25 レジスタ
- 26 ビデオコントローラ
- 27 回路
- 28 タイミング生成器
- 29 回路
- 30 ラッチ回路
- 31 クロストーク補正部
- 40 ラッチ
- 41 ラッチ
- 42 スイッチング回路
- 43 スイッチング回路
- 44 スイッチング回路
- 45 ORゲート
- 46 排他ORゲート
- 47 回路
- 48 回路
- 49 回路
- 50 デジタル・アナログ・コンバータ

\*

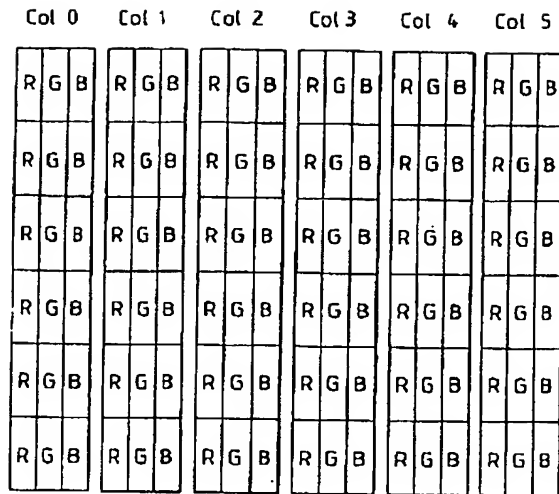
【図2b】



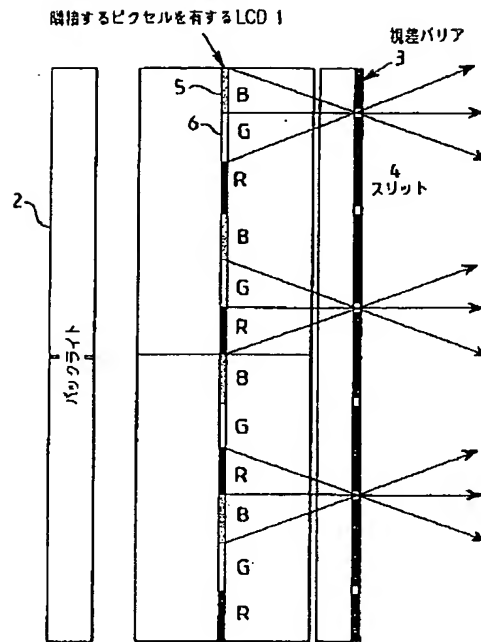
【図4a】



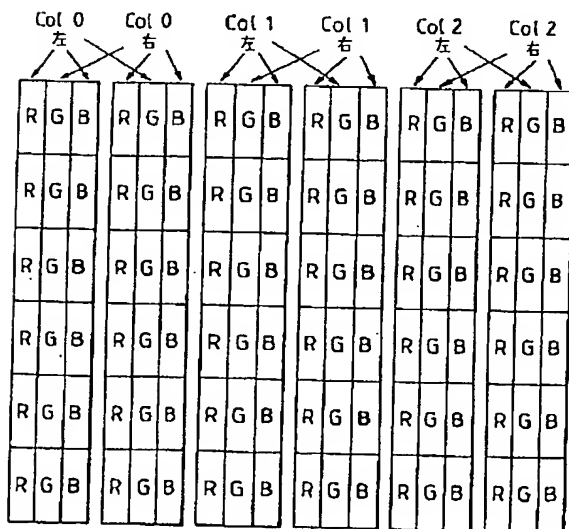
【図1】



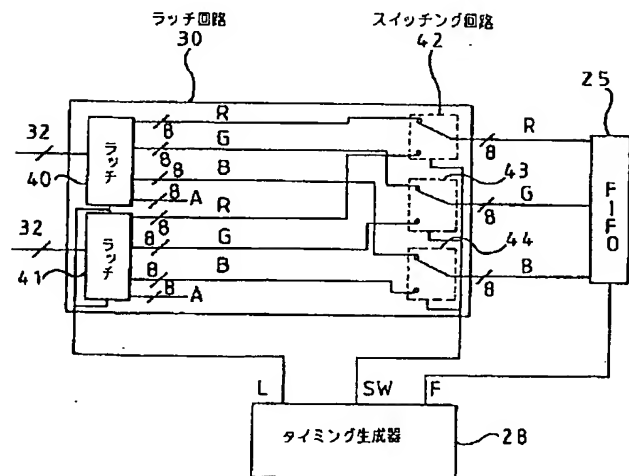
【図2a】



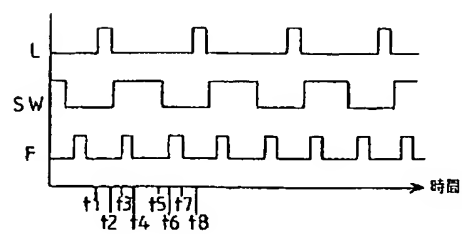
【図3】



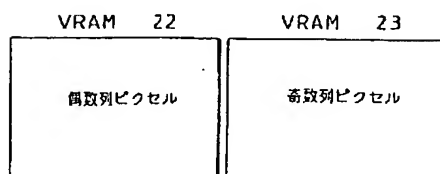
【図4b】



【図4c】



【図5】

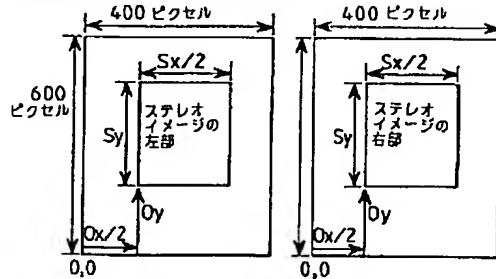






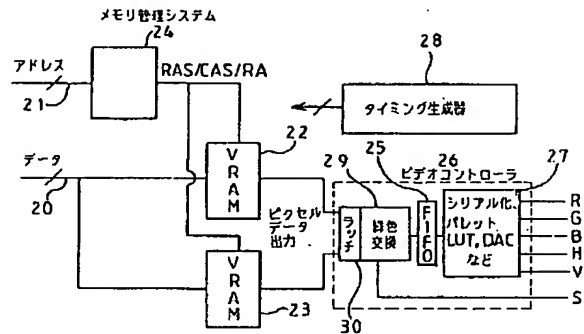
【図10】

別個のより小さいスクリーンであるかのように扱われるスクリーンメモリの2つのバンク:

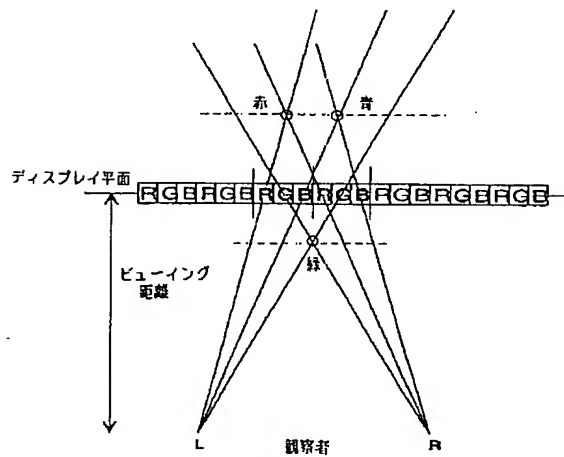


ステレオイメージが全スクリーンを満たすと、その原点は0,0にあり、イメージサイズの調整のみが必要とされる

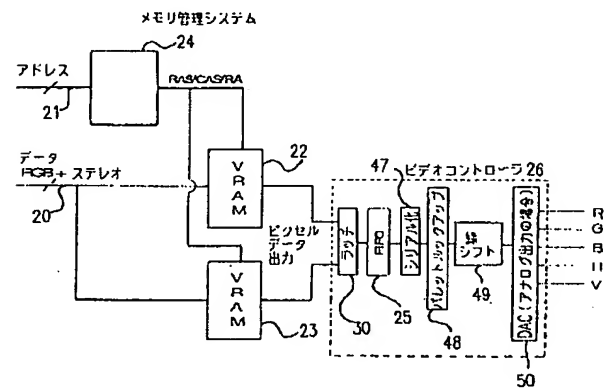
【図12】



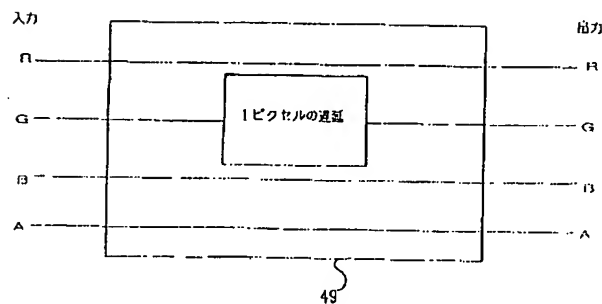
【図13】



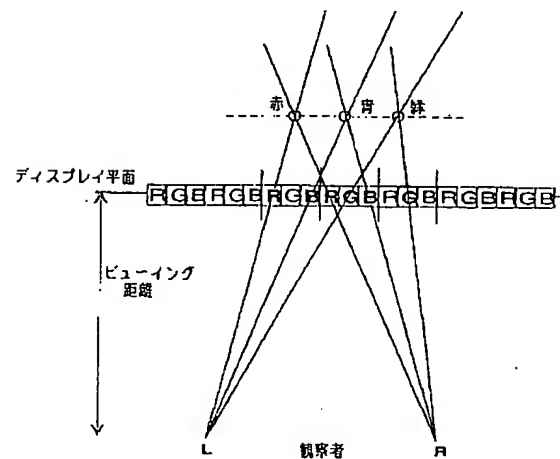
【図14】



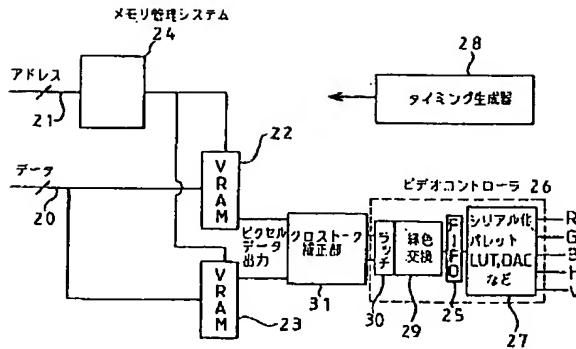
【図15】



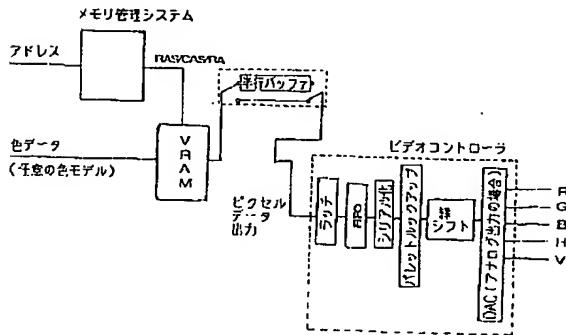
【図16】



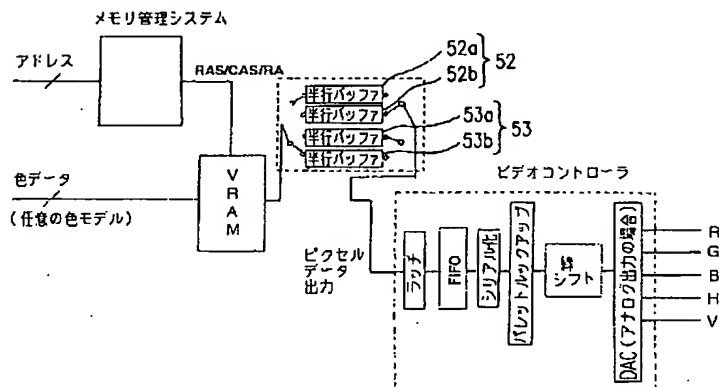
【図17】



【図19】



【図20】



【図18】

